



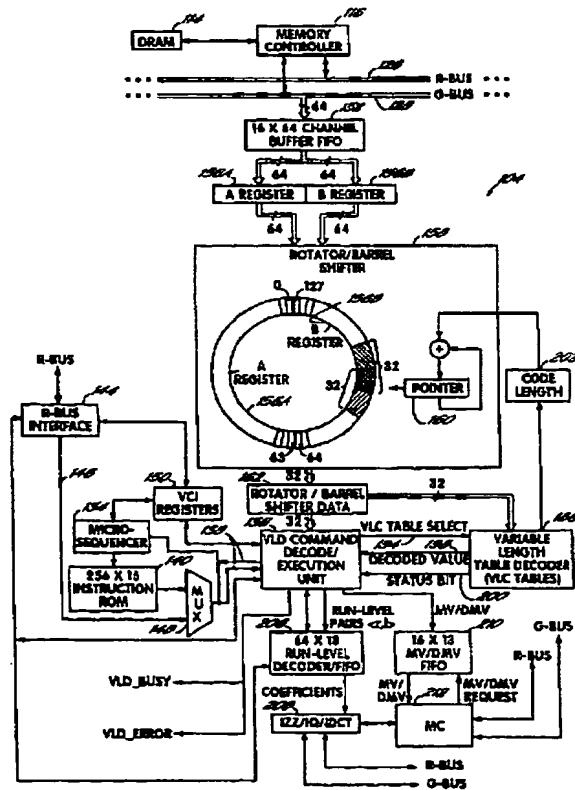
INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(51) International Patent Classification ⁶ :		A2	(11) International Publication Number: WO 99/60521
G06T			(43) International Publication Date: 25 November 1999 (25.11.99)
(21) International Application Number: PCT/US99/10659		(81) Designated States: AE, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, UA, UG, UZ, VN, YU, ZA, ZW, ARIPO patent (GH, GM, KE, LS, MW, SD, SL, SZ, UG, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).	
(22) International Filing Date: 14 May 1999 (14.05.99)			
(30) Priority Data:			
60/085,797	18 May 1998 (18.05.98)	US	
09/280,437	29 March 1999 (29.03.99)	US	
(71) Applicant: SONY ELECTRONICS INC. [US/US]; 1 Sony Drive, Park Ridge, NJ 07656 (US).			
(72) Inventors: BUBLIL, Moshe; 1290 Fremont Terrace West, Sunnyvale, CA 94087 (US). BOSE, Subroto; 3516 Oxford, Santa Clara, CA 95051 (US). GADRE, Sirish, C.; 1265 N. Capitol Avenue #78, San Jose, CA 94132 (US).			
(74) Agents: BRINKMAN, David, H. et al.; Wood, Herron & Evans, L.L.P., 2700 Carew Tower, Cincinnati, OH 45202 (US).			
Published <i>Without international search report and to be republished upon receipt of that report.</i>			

(54) Title: VARIABLE LENGTH DECODER FOR DECODING DIGITALLY ENCODED VIDEO SIGNALS

(57) Abstract

A variable length decoder (VLD) (104) for decoding MPEG-1 and -2 syntax compliant video bit streams. The VLD (104) includes a micro-sequencer (134) and VLD command decode/execution unit (136) for controlling the MPEG decoding process using a novel instruction set (214a, 214g). The instruction set (214a-214g) includes a set of commands for decoding the video data and a set of flow control instructions. A rotator/barrel shifter (158) is provided for making a predetermined number of encoded bits from the video bit stream available to the VLD (104) and a variable length table decoder (186) for variable length decoding using the MPEG standard variable length code (VLC) tables. The variable length table decoder (186) shares a prefix pattern matching scheme across all of the VLC tables and organizes the variable length codes into a series of subtables. Each subtable corresponds to one of the unique prefix patterns. Variable length codes are decoded by identifying a leading pattern in the video data bit stream and, in parallel, accessing the subtable corresponding to that leading pattern. Run-length and amplitude level DCT coefficient symbols are stored in compressed form, and decoded as needed by an inverse transform unit (208). Motion vectors are also stored until needed by a motion compensation unit (212).



号化データを受けると共に、対応する復号化値をコマンド復号化及び実行回路（142）に供給する可変長テープルデコード（186）をさらに有することを特徴とする請求項1記載の可変長デコーダ（104）。

【請求項5】 コマンド復号化及び実行回路（136）は、MPEGシンタックスに従った可変長符号化データを復号化することを特徴とする請求項1記載の可変長デコーダ（104）。

【請求項6】 コマンド復号化及び実行回路（136）は、可変長符号化データを復号化して、それぞれランレングス値と振幅レベル値となるDCT係数シンボルを得ることを特徴とする請求項5記載の可変長デコーダ（104）。

【請求項7】 コマンド復号化及び実行回路（136）に接続され、DCT係数シンボルを圧縮されたランレングスと振幅レベルの対として記憶するファーストインファーストアウトメモリ及びデコード（206）をさらに有することを特徴とする請求項6記載の可変長デコーダ（104）。

【請求項8】 ファーストインファーストアウトメモリ及びデコード（206）に接続された逆DCT変換回路（208）をさらに有し、ファーストインファーストアウトメモリ及びデコード（206）が、ランレングスと振幅レベルの対の圧縮解除を行って、送信されたフレームの画像データを再構成する際にDCT変換回路（208）により使用されるDCT係数を得ることを特徴とする請求項7記載の可変長デコーダ（104）。

【請求項9】 コマンド復号化及び実行回路（136）は、可変長符号化データを復号化して動きベクトル値を得ることを特徴とする請求項5記載の可変長デコーダ（104）。

【請求項10】 コマンド復号化及び実行回路（136）に接続され、動きベクトル値を記憶するファーストインファーストアウトメモリ（210）をさらに有することを特徴とする請求項9記載の可変長デコーダ（104）。

【請求項11】 ファーストインファーストアウトメモリ（210）に接続された動き補償回路（212）をさらに有し、ファーストインファーストアウトメモリ（210）が、送信されたフレームの画像データを再構成する際に動き補償回路（212）に動きベクトル値を供給することを特徴とする請求項10記載の

可変長デコーダ（104）。

【請求項12】 可変長コードテーブルを用いて、送信されたフレームの画像エリアを表す可変長符号化データからなる圧縮ビデオデータを復号化する可変長テーブルデコード（186）であつて、

可変長符号化データを記憶するメモリ（156A、156B、162）と、
メモリ（156A、156B）に接続して、可変長符号化データの所定数のビット（162）を認識可能にするシフタ回路（164）と、
メモリ（156A、156B）及びシフタ回路（164）に接続され、シフタ回路（164）により認識可能とされた可変長符号化データ（162）におけるユニークフレイクスピターンを識別するパターンマッチ回路（188）と、
複数の可変長コードのそれぞれに開通する復号化値を有し、可変長コードにおけるユニークフレイクスピターンにそれぞれ開通する複数のサブテーブルデータからなる可変長コードテーブルデータと、

パターンマッチ回路（188）に応じて、可変長符号化データにおける識別されたフレイクスピターンとマッチする可変長コードにおけるユニーケープライクスピターンに開通するサブテーブルデータ回路から復号化値（198）を得ると共に、識別されたフレイクスピターン後の可変長符号化データにおける追加データとマッチするユニーケープライクスピターン後の可変長コードにおける追加データを得る制御回路（190、192）とを有し、
シフタ回路（164）により認識可能とされた可変長符号化データ（162）を、パターンマッチ回路（188）とサブテーブルデータ回路のそれぞれに接続して、パターンマッチ回路（188）とサブテーブルデータ回路のそれぞれに対して可変長符号化データを（162）を同時に送るデータバス（196）を設けることを特徴とする可変長テーブルデコーダ（186）。

【請求項13】 可変長コードのそれぞれが開通するコード長を有し、制御回路（190、192）は、パターンマッチ回路（188）に応じて、可変長符号化データにおける識別されたフレイクスピターンとマッチする可変長コードにおけるユニークフレイクスピターンに開通するサブテーブルデータ回路からコード長（202）を得ると共に、識別されたフレイクスピターン後の可変長符

り化データにおける追加データとマッチするユニーカープレフィクスパターン後の可変長コードにおける追加データを得ることを特徴とする請求項1記載の可変長テーブルデコーダ(186)。

【請求項14】 シフタ回路(164)は、メモリ(156A、156B)における可変長符号化データを遷移的にシフトする複数のセレクタ回路を有することを特徴とする請求項12記載の可変長テーブルデコーダ(186)。

【請求項15】 複数のセレクタ回路は複数のセレクタステージに配置され、各セレクタステージが、2のべき乗でメモリ(156A、156B)における可変長符号化データをシフトする、あるいは、可変長符号化データのシフトを全く行わないことを特徴とする請求項14記載の可変長テーブルデコーダ(186)。

【請求項16】 セレクタステージのうちの少なくとも1つは、前のセレクタステージより少ないセレクタ回路を有することを特徴とする請求項15記載の可変長テーブルデコーダ(186)。

【請求項17】 各セレクタステージは、その前のセレクタステージより少ないセレクタ回路を有することを特徴とする請求項15記載の可変長テーブルデコーダ(186)。

【請求項18】 シフタ回路(164)は、最後に得られたコード値に応じて、得られたコード値と等しい数のビット分だけメモリ(156A、156B)における可変長符号化データをシフトすることを特徴とする請求項14記載の可変長テーブルデコーダ(186)。

【請求項19】 可変長コードテーブルを用いて、送信されたフレームの画像エリオを複数の可変長符号化データからなる圧縮ビデオデータストリームを復号化する方法であって、複数の可変長コードのそれぞれに開通する復号化値を有する可変長コードテーブルを定義し、

可変長コードに開通する複数のユニーカープレフィクスパターンを定義し、各サブテーブルが可変長コードにおけるユニーカープレフィクスパターンのうちのいずれかに開通すると共にユニーカープレフィクスパターンに開通する少なくとのいずれかに開通すると共にユニーカープレフィクスパターンに開通する少なくと

も1つの復号化値とユニーカープレフィクスパターン後の可変長コードにおける追加データとを有するように構成された複数のサブテーブルを定義し、可変長符号化データにおいて、可変長コードに開通するユニーカープレフィクスパターンのうちの1つを識別し、

複数のサブテーブルのそれぞれに対して可変長符号化データを同時に送り、可変長符号化データにおける識別されたプレフィクスパターンとマッチする可変長コードにおけるユニーカープレフィクスパターンに開通するサブテーブルから、復号化値(198)を得るとと共に、識別されたプレフィクスパターン後の可変長符号化データにおける追加データとマッチするユニーカープレフィクスパターン後の可変長コードにおける追加データを得る工程を有することを特徴とする方法。

【請求項20】 コード長を複数の可変長コードのそれそれに開通させ、可変長符号化データにおける識別されたプレフィクスパターンとマッチするプレフィクスパターンを有する可変長コードに開通するコード長(202)と、識別されたプレフィクスパターン後の可変長符号化データにおける追加データとマッチするプレフィクスパターン後の追加データとを得る工程をさらに有することを特徴とする請求項19記載の方法。

【発明の詳細な説明】

【0001】

相互参照

本願は、1998年5月18日に出願された係属中の仮特許出願60/085,797の優先日を主張し、その開示内容を全体として参照することにより特に本願に組み込むものとする。

【0002】

発明の分野

本発明はデジタル符号化されたビデオ信号の復号化に関する、特に、固定長の値や可変長コードを用いて符号化されたビデオデータや制御情報を復号化するデータに関する。

【0003】

発明の背景

近年、特に家庭用電子機器業界においてビデオ信号のデジタル送信が普及している。このようなデジタルビデオ信号送信の使用や、例えばDVD (digital versatile disc) プレーヤやデジタルビデオ放送 (DVB) セットトップボックスでの受信の普及により、送信された画像シーケンスの画質や、既存のNTSCやPALアナログ送信システムにおけるビデオ信号の記憶、操作、表示をより効果的に制御する性能が改善している。このような高性能化を促進するため、業界は、国際標準化機構 (ISO) に規定されるMPEG (Moving Picture Experts Group) によって制定されるデジタルビデオ圧縮のフォーマット、すなわち、ISO-11172-2 (MPEG-1) 及びISO-13818-2 (MPEG-2) という2つの規格で定義されたビデオビットストリームを符号化するためのシンタクスを特定している。以下の説明では、これらの規格によるビデオ信号をデジタル符号化するのに使用されるビットストリームシンタクスをより詳細に説明するため、ISO-11172-2 (MPEG-1) 及びISO-13818-2 (MPEG-2) を参照する。これらの規格はいずれも全体として参照することにより、特に本明細書に組み込むものとする。

【0004】

MPEG-1及びMPEG-2により定義されるビットストリームシンタック
スは、ビットストリームにおける一般的な3種類の情報又はデータ、すなわち、
ビットストリームを定義するのに必要な制御情報と、送信された画像シーケンス
を適切に圧縮解除し再生するのに必要な制御情報と、符号化されたビデオデータ
に関するものである。ビットストリーム制御情報は、ビットストリームがバケ
シト化されたビデオ又はオーディオデータであること、あるいは、ビットストリ
ームが例えばMPEG-1又はMPEG-2のいずれかを用いて符号化されたビ
デオ信号であることを識別することもできる。画像制御情報には、例えばフレー
ムの縦横のサイズ、すなわち、ライン毎の画素 (ペル) 数、フレーム毎のライン
数、フレーム又はフィールドレート、アスペクト比等が含まれる。以下により詳
細に説明するが、符号化されたビデオデータは、各フレーム又はフィールドの再
形成に必要な、DCT変換及び子化が施されたクロミナンス及び輝度ペル値を
表す。

【0005】

MPEG-1及びMPEG-2はそれぞれ、空間的及び時間的冗長性を除去す
ることにより情報密度及び符号化効率を改善するように構成されたビットストリ
ームシンタックスを特定する。各MPEGピクチャは、 16×16 部度ペル (Y
)、又は、4つの 8×8 変換ブロックのペルの 2×2 の列からなる一連のマクロ
ブロックに分割される。各マクロブロックは、さらに 8×16 クロミナンスペル
(U, V)、又は、2つの 8×8 ブロックのペルの 1×2 の列からなる。符号化
プロセスでは、 8×8 ブロックの離散的コサイン変換 (DCT) 符号化の後
に、量子化、ジグザグキャノン、ゼロであるラン (ランレンジス) 及び振幅レベ
ルの可変長符号化を行うことにより空間的冗長性が除去される。時間的冗長性を
除去するには動き補償予測を用いる。

【0006】

ビデオに関しては、MPEGではイントラ (I) フレーム、順方向予測 (P)
フレーム、双方向予測 (B) フレームを考慮する。Iフレームは独立して符号化
され、3つのフレームタイプのうち符号化効率が最も悪い。PフレームはIフレ
ームより符号化効率が良く、その前に符号化されたI又はPフレームに関して符

号化される。Bフレームは3つのフレームタイプのうち符号化効率が最も良く、前後のI又はPフレームの両方に關して符号化される。MPEGシステムにおけるフレームの符号化の順序は、フレームのプレゼンテーション順と必ずしも同じではない。ビットストリームのヘッダにより、デコーダが動画のプレゼンテーションためのフレームの時間及びシーケンスを適切に復号化するために使用する情報が得られる。

【0007】

デジタル送はされたビデオビットストリームを復号化するのに使用される一般的なビデオデコーダは、ビットストリームのバージングを行つてMPEG可変コードデーブル（VLC）を用いて低位化DCT係数及び動きベクトルを復号化するよう構成された可変長デコーダ（VLD）を制御するためのマイクロコントローラ又はシーケンサを備えている。各ブロックの低位化係數値をそのプロックの逆ジグザグを表す値のストリームに変換し、その値を逆量子化するには、逆変換プロセッサを用いる。逆量子化されたDCT係数は、逆DCT変換を行つてクロミナンス及び輝度ベル值を回復する逆離散的コサイン変換（IDCT）プロセッサに供給される。そして、これらの値は復号化された動きベクトルと共に動き補償（MC）プロセッサに供給され、動き補償プロセッサがMPEG圧縮解除を行つてI、P、Bフレームをフルビデオフレームに変換する。

【0008】

MPEGシンタックス構塊のビットストリームのバージング及び復号化を行う一般的なVLD構造では、ビデオビットストリームの所定数の未復号化ビットが1以上のレジスタに記憶される。VLDは、これらのビットのうちの少數のビットをレジスタから抽出し、最も左のビットが常にVLDにより抽出された最初のビットに結合するようになっている。そして、VLDはMPEG VLCテーブルのうちの1つのルックアップを行い、可変長符号化データを復号化すると共にコード長を得る。抽出されたビットにおける可変長コードを復号化した後、VLDはレジスタ内のビットに対してマスク／シフト／OR (MASK／SHIFT／OR) 处理を行ひ、レジスタ内の最も左の位置にある最初の未使用ビットの再整合を行ふ。VLCテーブルは、通常、約 2^m 個のメモリ位置を有する1以

上のPAL又はROMに含まれている。ここで、「n」はVLCテーブルのそれぞれにおいて可能な最大可変コード長を表し、「m」はユニータ VLCテーブル数を表す。

【0009】

なお、VLD構造によつては、復号化プロセス後の未使用ビットの整合に必要なシフト／マスク／OR処理によりVLDの全体的な復号化速度が大幅に影響されることとは、当該分野の技術者にとっては明らかであろう。これらの処理はそれが1サイクル以上を必要とすることがあるため、各DCT係数シンボル（すなわち、ランレンジス及び振幅レベルの各々）を復号化して未使用ビットの再整合を行うのにVLDが多数のサイクルを必要とするので、VLDの復号化効率は大幅に低下してしまう。さらに、VLD構造によつては、各ユニータ VLCテーブルの各可変長コードが別々のメモリ位置に記憶されるので、VLCテーブルがVLDのコストと複雑性を増加させてしまう。

【0010】

従つて、MPEG-1又はMPEG-2規格により符号化された可変長DCT係数及び動きベクトルを効率的に復号化するVLDが必要である。また、種々のMPEG可変長コードを復号化するのに必要なメモリがを最小限にするVLDが必要である。さらに、所定のインストラクションセットに従つてマイクロシーケンサからインストラクションを受信すると共にマスターントローラからインストラクションを受信するVLDが必要である。

【0011】

米国特許出願第5502493号(US-A-5,502,493)では、可変長データにより構成されるMPEG信号のデータを解説している。

【0012】

ITU-T勧告H.222.0、情報通信技術－動画及び関連するオーディオ情報の一般的符号化：システム、1995年7月 (ITU-T Recommendation H.222.0, Information Technology - Generic Coding of Moving Pictures and Associated Audio Information: Systems, July 1995) (ISO/IEC国际規格13818-1と同一) では、オーディオ及びビデオデータが復号化の前にデマル

チブレクスされるシステムを開発している

100131

また、米国特許出願第5 6 0 4 4 9 号（US-A-5,604,499）では、圧縮されたビデオデータを可変長コードテーブルを用いて復号化する可変長テーブルデコーダを図示している。

100141

三

して、ビデオデコーダと可変長テーブルデコーダの両方に対して認識可能とする。ビデオデコーダは、ローテータ／バレルシフタデータの可変長コードを復号化して、各スライス毎に必要なDCT係数と動きベクトルを得る。可変長コードが復号化された後、ローテータ／バレルシフタのポインタレジスタはインクリメントされ、次の復号化サイクルの準備を行ふ。

1 -

また、本発明によれば、ビデオデコーダが各MPEG VLCテーブルにアクセスして必要な復号化された値を得ることを可能にするため、新規な方式が提供される。各MPEG VLCテーブルは、各テーブルにおいて識別されたユニーカプレifikスパートーンにより定義される一連のサブテーブルに分割されている。可変長復号化プロセスにおいて、抽出されたローテータ／バレルシフタデータの32ビットが、可変長テーブルデコーダにおけるパターンマッチロジック及びMUXコントロールに用いられ、ローテータ／バレルシフタデータのユニーカプレフィクスパートーンを識別する。同時に、プレifikスパートーンの後のビットが、各MPEG VLCテーブルのサブテーブルすべてに用いられる。可変長符号化されたデータが復号化された後、可変長テーブルデコーダは復号化された値と有効コードスタートスピットを供給する。また、可変長テーブルデコーダは、ローター／バレルシフタのポインタレジスタにコード長信号を供給して、ポインタレジスタをコード長によりインクリメントする。

100181

さらに、本発明によれば、復号化されたDCT係数は圧縮されたランレンジクスと振幅レベルの対として、ランレベルデコーダ／ FIFOに記憶される。ランレベルデコーダ／ FIFOは、ランレンジクスと振幅レベルの対の圧縮解除を行って、逆変換ユニットで必要なDCT係数を得る。これにより、ハフマン符号化された可変長の対の復号化を、先に復号化されたランレベルの対のランレベル復号化と同時にを行うことが可能となる。動きベクトルは、動き補償ユニットで必要となるまでmv／dmv FIFOに記憶される。

00161

符号化されたビデオデータはDRAMメモリに記憶され、チャネルバッファFIFOを介してビデオデコーダに供給可能となる。本発明によれば、これら符号化されたビデオデータビットのうちの所定数が、ローターバレルシフタ及びボインタレジスタを使用して、ビデオデコーダと可変長テーブルデコーダに対しても認識可能となる。バレルシフタ及びボインタレジスタは、ポイントアドレス+31までのポイントアドレスからのビットをロデータ／バレルシフタデータとして認識される。

本発明の上記の及び他の特徴、利点については、
星的、
漆(テラコッタ)とその常明に

(13) より明らかにされる。

【0020】

好ましい実施例の詳細な説明

画面を参照して、特に Fig. 1 を参照して、デジタル符号化されたビデオ信号のオーディオ／ビデオ信号化や圧縮解除されたビデオ画像のプレゼンテーションを行ったための機能モジュール 102～112 を備えた復号化システム 100 を示す。好ましくは、復号化システム 100 は、例えば、DVD (digital versatile disk) やデジタルビデオ放送 (DVB) セットトップボックス (STB) 等におけるデジタルオーディオ／ビデオ受信を目的とした特定用途向け IC (ASIC) として構成される。なお、Fig. 1 に示す機能ユニットは例であり、実際にはさらに機能ユニットを追加してもよい。機能ユニット 102～112 はそれぞれ、ダイナミックランダムアクセスメモリ (DRAM) である大型オーディオメモリ 114 と種々の方法でインタラクションを行う。DRAM 114 へのアクセスは ASIC 100 上のメモリコントローラ 116 により制御される。

【0021】

例として、ASIC 100 の機能ユニットのうちの幾つかについて説明する。これらの機能ユニットには、好ましくはデジタル符号化されたビデオ／オーディオ入力信号をライン 118 にて最大で 7 Mbp/s のデータレートで受信するログラマブル入力デマルチプレクサ 102 が含まれる。デジタル符号化されたビデオ／オーディオ信号は、ハケットデータの構造を識別するための所定のビットストリームシングルクスを有する「ハケット化エレメンタリストリーム」 (PESストリーム) として一般に知られているパケット化データのシリアルビットストリームである。デマルチプレクサ 102 は、供給されるデジタル符号化された信号のヘーリングを行って、ビデオ、オーディオ、その他のデータのパケットに分解し、メモリコントローラ 116 を用いてDRAM 114 内のバッファに入力信号を記憶する。以下により詳細に説明するが、本発明の原理によるビデオデータ 104 は、DRAM 114 内のバッファに記憶されたビデオデータと画像制御情報を探索し、(DRAM 114 に頻繁且つ繰り返しアクセスすることにより) そのビデオデータと制御情報を復号化し、その後、復号化されたビデオ情報を

出力エンコーダ 108 に供給して、バス 120 を介してモニタに出力されるよう

に機能する。出力エンコーダ 108 は、好ましくは、NTSC の場合、30 fs/s で 720 × 480 画素の画像サイズを供給し、PAL の場合、25 fs/s で 720 × 576 画素を供給する NTSC／PAL エンコーダである。オーディオエンコーダ 106 は、DRAM 114 からオーディオ情報を検索し、そのオーディオ情報を出力するために復号化し、出力するためのオーディオ情報をバス 122 を介してスピーカに供給する。また、ASIC 100 は、ライン 124 を介してホ

ストマイクロコントローラとのインターフェースを行い、ASIC 100 の動作の監視及び制御をホストコンピュータに行わせるホストインターフェース 110 を備えている。

【0022】

上述の機能ユニット以外にも、ビデオデコーダ 104 により復号化されるメインビデオに伴うサブタイトルやその他の情報を含むサブピクチャビデオ情報を復号化する、さらには 1 以上のビデオ復号化ユニットを備えてもよい。さらには、R-Bus 126 及び G-Bus 128 に接続された OSD 部により、ASIC 100 内で画面表示を生成してもよい。画面表示は、ホスト CPU の動作、及び／又は、ASIC 110 が使用されている装置の再生又は受信状態に対するフィードバックを与えるように、ホスト CPU から受信したコマンドに応じて生成することができる。

【0023】

特定用途向け IC 100 の制御は、ASIC 100 上の他の各機能ユニットの動作の制御及び監視を行う縮小命令セット中央処理装置 (RISC CPU) 1112 により行われる。RISC CPU 112 は、インストラクションメモリ 130 に記憶されている 16 ビットのインストラクションに応じる。インストラクションメモリ 130 は、ASIC 100 の比較的簡単なプログラムに適した 4096 個の 16 ビットインストラクションを保持している。ASIC 100 により実行される複雑なプログラムについては、DRAM 114 内のより大きなインストラクションバッファからプログラムメモリ 130 に対して、4096 個のインストラクションの「ページ」のスワップイン、スワップアウトを行えばよい。

【0024】

Fig. 1に示すように、RISC CPU112は、Rバス126及びGバス128として知られる2つのメインバスを介してASIC100内の各機能ユニットとインターフェクションを行う。具体的には、各機能ユニットは、メモリコントローラ116に対して、そしてDRAM114に対してデータの検索及び供給を行うための64ビットGバス128に接続されている。さらに、Gバス128を介してある機能ユニットから他の機能ユニットに各ブロックのデータを転送してもよい。

【0025】

種々のコマンドの他、メモリアクセス又は転送の要求が、Rバス126を介してある機能ユニットから他の機能ユニットに送られる。Rバス126は、メモリアクセスを頻繁に行う機能ユニットにより使用される1以上の32ビットバス、あるいは、幾つかの機能ユニットにより共有される単一の8ビット時間多重化バスにより構成されてもよい。Rバスコントローラ132は、Rバス126の使用要求を受信し、必要に応じてこれらの要求を調整し、要求の優先順位が最も高い機能ユニットに対してRバスへのアクセスを供給する。

【0026】

メモリアクセスが要求されると、要求した機能ユニット102～112は、Rバス126を介してメモリコントローラ116に仮想アドレスを供給する。メモリアクセス要求は、單一のメモリ位置の供給を要求するものであってもよく、また、要求に応じてアクセスされる多数のメモリ位置の識別を含せものであつてもよい。メモリコントローラ116は、要求に応じてDRAM114における識別位置へのアクセスを管理することにより要求に応答する。多数のメモリアクセス要求が未処理である場合、メモリコントローラ116は、その未処理の要求を調整し、要求の優先順位が最も高い機能ユニットに対してアクセスを許可する。

要求に応じてのメモリコントローラ116の動作の詳細については、1997年4月30日出願の米特許出願第08/846,590号(U.S. Patent application Serial No. 08/846,590)「デジタルビデオのためのメモリアドレス生成(Memory Address Generation for Digital Video)」に記載されており、本願では

これを全体として参照することにより組み込むものとする。さらに、RISC CPU112の動作とその縮小命令セットの詳細については、1997年5月30日出願の米国特許出願第08/865,749号(U.S. Patent application Serial No. 08/865,749)「デジタルオーディオ復号専用処理装置(SPECIAL PURPOSE PROCESSOR FOR DIGITAL AUDIO VIDEO DECODING)」に記載されており、本願では、これを全体として参照することにより組み込むものとする。

【0027】

さらに、Rバス126を介して、種々の機能ユニットの状態に関するデータが使用可能である。機能ユニットは、Rバス126を介して識別された特定アドレスにてアクセスすることができるステータス情報を供給する。従って、例えば、ビデオデコーダ104からステータスワードにアクセスするには、DEC_VALUEアドレスを識別するアクセス要求をRバスコントローラ132に供給する。これに応じて、Rバスコントローラ132は、要求している機能ユニットに対してビデオデコーダ104のステータスワードを供給させる。

【0028】

機能プロックにはRバス126を介してコマンドも送られる。ある機能プロックにコマンドを供給するには、Rバスを介してその機能ユニットの特定アドレスにコマンドを送る。従つて、例えば、ビデオデコーダ104にコマンドを供給するには、VLD_CMDアドレスを識別するアクセス要求をRバスコントローラ132に供給する。これに応じて、Rバスコントローラ132は、要求している機能ユニットがRバス126にコマンドを供給することを可能にすると共に、ビデオデコーダ104のコマンドバッファ内にコマンドを受信させる。

【0029】

ビデオデコーダ104は本発明の主要部であり、その動作や特徴についてはFIG. 2～6Gに明確に示す。本発明の原理によれば、ビデオデコーダ104は、特にMPEG-1及びMPEG-ML(Main Profile @ Main Level) MPEGL-2シングルスレッドのデジタル信号化されたビデオ信号のビデオ復号化を行うよう構成されている。本願において全体として参照することにより組み込まれたISO/IEC13182-2:1995(E)に記載されているように、MP

EG-2シンタックスは、特に、シークエンスレイヤ、グループオブピクチャレイヤ、ピクチャレイヤ、スライスレイヤ、マクロプロックレイヤ、ブロックレイヤという6レイヤの画像シーケンスを表すビデオデータ及び制御情報の圧縮ビットストリームを定義する。符号化されたビットストリームにおける各レイヤには、そのレイヤを識別すると共に、ビデオデコーダ104によりバージング及び復号化を行う必要がある固定長データ値又は可変長ハフマン符号化データのいずれか、あるいは画方を与えるユニークスタートコードが含まれる。スライスレイヤより上の画像制御情報の上位レイヤバージングは、RISC CPU112により行われる。このようにして、RISC CPU112は、ビデオビットストリームにおいて送はされた画像シーケンスの圧縮解除、再構成、プレゼンテーションを制御するための十分な情報を圧縮ビデオビットストリームから得る。

【0030】

次に、Fig. 2 及び2Aを参照して、ビデオデコーダ104のブロック図を詳細に示す。以下に詳細に説明するが、ビデオデコーダ104の主な機能は、個々のスライスのマクロプロック及びブロックレイヤを復号化するための、1サイクル当たり1順序シンボルのスライスハーフィングエンジンである。スライスエンドに達すると、RISC CPU112に割り込みが送られて、種々のメモリチエックを行うと共に次のスライスの処理を命令する。ビデオデコーダ104は主として、ライン138を介してVLDコマンド復号化／実行ユニット136とのインターフェースを行き来し、256×16インストラクションROM140とインストラクション復号化／制御ユニット142を備えている(Fig. 2A参照)。

各スライス毎のマクロプロック及びブロックレイヤの復号化プロセスにおいて、

マイクロシーケンサ134は、VLDコマンド復号化／実行ユニット136にコマンドを送って可変長復号化を行うか、あるいは、インストラクションセットにより与えられるプログラムフローを制御するようプログラムされている。さらに、VLDコマンド復号化／実行ユニット136は、Rバシリンターフェース144、ライン146、マルチプレクサ148を介してRISC CPU112からインストラクションを応接受信してもよい。以下に詳細に説明するが、RIS

C CPU112、マイクロシーケンサ134、VLDコマンド復号化／実行ユニット136は、VLD構造データバスの一部を構成する一連のVLDコマンドインストラクションレジスタ(VCIレジスタ)150のコントローラの読み出し及び書き込みを行うことができる。

【0031】

上述のように、符号化されたビデオデータは、まずDRAM114に記憶される。符号化されたビデオデータは、Gバス128を介してビデオデコーダ104からメモリコントローラ116までの各ユニットに使用可能とされる。ビデオデコーダ104は、16×64チャネルバッファ FIFO152としてのGバスを備え、このバッファ FIFO152は、復号化プロセス中にそれがバッファ FIFO152が空になり溢れたりしないように十分な量の符号化されたビデオピットストリームを記憶する。

【0032】

ビデオデコーダ104の主な機能の一つとして、ビデオビットストリームにおける可変長符号化されたデータを復号化することが挙げられる。可変長データは、MPEG-1及びMPEG-2規格で定義されるVLCテーブルに従ってハフマン符号化される。本発明のVLDはMPEG VLCテーブルのうちの少なくとも11個のテーブルをサポートする。すなわち、macroblock_type_1、macroblock_type_P、macroblock_type_B、macroblock_type_D、macroblock_address_increment、det_dc_size_luma、det_dc_size_chrominance、ac_table(テーブル0及びテーブル1)、coded_block_pattern、motion_code、drvectorである。

【0033】

Fig. 2に明確に示すように、チャネルバッファ FIFO152は、チャネルバッファ FIFO152から各64ビットバスを介して一对のA、Bレジスタ156A、156Bのそれぞれに64ビットのビデオデータを供給する。本発明によれば、ポイントアドレス+31までのポイントアドレスからのビットをVLDコマンド復号化／実行ユニット136に対して認識可能にするため、ローターパレルシフタ158とポイントレジスタ160が設けられている。これら32ビットは、ロデータ／パレルシフタデータ162としてVLDコマンド復号化／

【0034】

Fig. 2及び3を参照して、A、Bレジスタ156A、156Bは、128ビットリングに接続され、Aレジスタのビット63からBレジスタのビット64へのボインタの境外切り替えと、Bレジスタのビット127からAレジスタのビット0への境界切り替えを可能にする。ボインタがAレジスタからBレジスタへ切り替わるとき、Aレジスタのコントローラは新たなデータによりリフレッシュされる。同様に、ボインタがBレジスタからAレジスタへ切り替わるとき、Bレジスタのコントローラは新たなデータによりリフレッシュされる。リングを回るボインタの動きを可能にすると共に128ビットのそれをポインタに対してアクセス可能にするため、Fig. 3に示すバレルシフト164は、2のべき乗分だけデータの左方向への種々のインクリメント的シフトを行うか、全くシフトを行わない7つのセレクタステージを有している。第1ステージ166は、「ステージ64/0」と称するもので、128ビットのそれを左方向に64ビットシフトさせるか、全くシフトさせない128個のセレクタ($D_0 \sim D_{127}$)を有している。第2ステージ168は、「ステージ32/0」と称するもので、左方向へ32ビット分のシフトを行うか、全くシフトを行わない95個のセレクタを有している。第3ステージ170は、「ステージ16/0」と称するもので、左方向へ16ビット分のシフトを行うか、全くシフトを行わない63個のセレクタを有している。第4ステージ172は、「ステージ8/0」と称するもので、左方向へ8ビット分のシフトを行うか、全くシフトを行わない47個のセレクタを有している。第5ステージ174は、「ステージ4/0」と称するもので、左方向へ4ビット分のシフトを行うか、全くシフトを行わない39個のセレクタを有している。第6ステージ176は、「ステージ2/0」と称するもので、左方向へ2ビット分のシフトを行うか、全くシフトを行わない35個のセレクタを有している。第7ステージ178は、「ステージ1/0」と称するもので、左方向へ1ビット分のシフトを行うか、全くシフトを行わない33個のセレクタを有している。

【0035】

実行ユニット136に供給される。

バレルシフト164の構造により、A、Bレジスタ156A、156Bの128ビットのうちいずれか32ビットをローテータ／バレルシフトデータ162としてVLDコマンド復号化／実行ユニット136に対して使用可能とすることができる。各ステージ166～178では、左方向へのシフトを矢印180で示し、シフトなしを矢印182で示している。バレルシフト164に関する用語が、先に詳細に説明した左シフト又はシフトなしの動作を行いかねる回路をも意味することは、当該分野の技術者にとっては理解できるであろう。本発明によるバレルシフト164の動作では、Fig. 3に仮想的な三角形182に示すように、種々のセレクタをステージ168～178の幾つかから除くことができる。バレルシフト164を対称的な長方形ではなく台形に切ることにより、不要なセレクタを除去して、コストとハードウェアの節約ができることがわかる。

【0036】

Fig. 2及び5に明確に示すように、ローテータ／バレルシフトデータ162の32ビットは、MPEG規格の可変長コード(VLC)テーブルを組み込んだ可変長テーブルデコーダ184に対しても使用可能とされる。本発明によれば、VLDコマンド復号化／実行ユニット136が11個のMPEG VLCテーブルのそれぞれにアクセスすることを可能にする新規な方式が提供される。Fig. 4の“macroblock_address_increment”についてのVLCテーブルを例として、可変コードにおける最初の「1」に至る「0」の数を定めるプレフィックスハーネンと、すべてのユニープレフィックスハーンからなるセットを発生させるのに必要なエキストラロジックが各MPEG VLCテーブルにおいて識別されている。

【0037】

例えば、Fig. 4の“macroblock_address_increment”テーブルでは、各可変長コードが、 K_0 、 K_1 、 K_2 、 K_3 、 $K_{4,0}$ 、 $K_{4,1}$ 、 $K_{5,0}$ 、 $K_{5,1}$ 、 $K_{5,001}$ 、 $K_{5,000}$ 、 $K_{6,000}$ と定義されたプレフィックスハーンを有している。 K_0 は、最初の「1」の前に「0」がないことを示し、 K_1 は、最初の「1」の前に「0」が1つであることを示し、以下、 K_2 、 K_3 、 K_4 につ

いても同様である。可変長コードの幾つかについては、すべてのユニーカプレフィクスバターンのセットを発生させるのに、 K_{40} 、 K_{41} 、 K_{42} 、 K_{43} 、 K_{44} 、 K_{45} 、 K_{46} 、 K_{47} 、 K_{48} 、 K_{49} のように「1」の前に「0」が続いているハターンの後にエキストラロジックが必要である。このように、各サブテーブルがユニーカプレフィクスバターンのいずれかに対応するように、サブテーブルのセットをMPEG VLCテーブルのそれそれにおいてプレフィクスバターンにより定義してもよい。さらに、各可変長コードは、可変長コードにおけるビット数を定めるコード長を有している。インクリメント値は、ビクチャの左端に対する、あるスライスにおける最初のマクロブロックの水平位置、あるいは、最後に送信されたマクロブロックからの差分インクリメント値を定義する“macroblock_address_increment”の各可変長コードに関する。この例から、当該分野の技術者にとっては、他のMPEG VLCテーブルについてのプレフィクスバターンとエキストラロジックがどのように定義されるかが容易にわかるであろう。

【0038】

次にFig. 5に示す可変長テーブルデコーダ186を参照して、可変長復号化プロセスにおいて、ローター/バレルシフタデータ162の32ビットがバターンマッチロジック及びMUXコントロール188に送られ、ローター/バレルシフトデータ162におけるユニーカプレフィクスバターンを識別する。識別されたプレフィクスバターン、例えば K_0 、 K_1 等は、11個のMPEG VLCテーブルのそれぞれにおける各MUX192の出力を制御するための信号【MUX CNTL】190として使用される。従って、バターンマッチロジック及びMUXコントロール188により決定されたプレフィクスバターンマッチは、Fig. 5に示すような“macroblock_address_increment”や“motion_code”的VLCテーブルを含む11個のMPEG VLCテーブルのすべての間で共用され、それぞれのMUX192の出力を制御する。

【0039】

以下に詳細に説明するが、ある時点で復号化されるVLCテーブルは、VLDコマンド復号化ノット行ユニット136により与えられる「VLCテーブル選択」

信号194により決定される。各MUX192に送られるMUX CNTL信号190を定義するためにプレフィクスバターンマッチをバターンマッチロジック及びMUXコントロール188により識別すると同時に、バス196で示すよう、ローター/バレルシフタデータ162の32ビットにおける先頭のハターンマッチ後のビットが、11個のMPEG VLCテーブルのそれぞれにおけるサブテーブルのすべてに同時に送られる。従って、“macroblock_address_increment”のVLCテーブルが「VLCテーブル選択」信号194により選択され、プレフィクスバターンマッチが K_{40} であり、バス196を介してサブテーブル K_{40} に「1」が適用された場合、MUX192は、(インクリメント値を示す)復号値14と、(可変長コードにおけるビット数を示す)コード長8と、(コードの有効性を示す)有効ステータスピットをVLDコマンド復号化/実行ユニット136に出力する。従って、復号化プロセスの終了後、可変長テーブルデータ186は、復号化値198と有効コードステータスピット200からなる2つの信号をVLDコマンド復号化/実行ユニット136に供給する。また、可変長テーブルデコーダ186は、ライン204を介してポインタレジスタ160にコード長信号202を供給して、コード長によりポインタレジスタをインクリメントする。可変長テーブルデコーダ186は、RAM又はROMであってもよいが、好ましくは配線による最適化ランダムロジックである。

【0040】

次にFig. 2及び3を参照し、可変長テーブルデコーダ186からのコード長信号202を使用して、ポインタレジスタ160をインクリメントする。コード長信号202は、バレルシフタ164によりバレルシフタにおける必要なシフトハターンを制御するのにも使用される。例えば、コード長信号202の値が13である場合、バレルシフタ164のステージ172(8/0)、174(4/0)、178(1/0)が左方向に13ビットのシフトを生じることが可能となり、他のステージはシフトがない。バレルシフタ164によりシフト処理がおこなれた後、VLDコマンド復号化/実行ユニット136と可変長テーブルデータ186に対して新たなセットのローテータ/バレルシフタデータ162が認識可能とされる。本発明の可変長テーブルデコーダ186とバレルシフタ164は、

MPEG可変長コードの効率的な復号化を行うと共にVLCテーブルのメモリ要件を低減する。

【0041】

MPEG規格によれば、可変長符号化されたDCT係数は、Fig. 2にシンボル<r、1>として示すようにランレンジスと振幅レベルの対として復号化される。値「r」は、「1」により示される振幅レベルを有する係数前のゼロ値係数の数を表す。例えば、シンボル<5、2>は、係数値2の前にゼロが5つであることを示す。また、本発明によれば、ランレンジスと振幅レベルの対が可変長テーブルデコーダ186により復号化されると、ランレンジスと振幅レベルの対のシンボルは、VLDコマンド復号化／実行ユニット136から 64×18 ランレベルデコーダ／ FIFO206に送られ、 64×18 ランレベルデコーダ／ FIFO206では、逆ジグザグ／逆位相化／逆DCT変換ユニット208で必要となるまで、それらの対のシンボルを圧縮した対として記憶する。なお、圧縮シンボルの数はDCT係数よりも少ないので、ランレベルデコーダ／ FIFO206は、先に復号化されたランレベルの対のランレベル復号化と同時に、ハフマン符号化された可変長対の復号化を行うことができる。

【0042】

また、Fig. 2に示すように、復号化された動きベクトル「mv」と差分動きベクトル「dmv」がVLDコマンド復号化／実行ユニット136から 16×13 mv／dmv FIFO210に送られ、 16×13 mv／dmv FIFO210は、動き補償ユニット212で必要となるまでそれらを記憶する。本願では、1997年12月30日出願の米国特許出第願09/001,122(U.S. Patent Application Serial No. 09/001,122) 「動き補償されたデジタルビデオ信号及びこのためのバッファメモリアドレッシング(MOTION COMPENSATED DIGIT AL VIDEO DECODING AND BUFFER MEMORY ADDRESSING THEREFOR)」を全体として参照することにより組み込むが、これに詳細に記載されるように、復号化されたビデオデータ値と動きベクトルは、動き補償ユニット212により組み合わせられて表示用の完全なI、P、Bフレームを形成する。VLDコマンド復号化／実行ユニット136は、好みしくは動きベクトル、差分動きベクトル、マクロプロ

【0043】

Fig. 2Aが、マイクロシーケンサ134とVLDコマンド復号化／実行ユニット136との間の全体的なプロトコルフローロードを示すのに対して、Fig. 6A～6Gは、ビデオデコーダ104のマイクロシーケンサ134によりサポートされるインストラクションセットを示す。特に、マイクロシーケンサのインストラクションセットは8つのインストラクション214a～214gからなり、それぞれ3ビットのopコード216を有し、インストラクション214bは2つの異なるインストラクションを表す。Fig. 6A～6Gに示すインストラクションのうち、インストラクション214bのインストラクションICMD及びCMD1のみが実行コマンドである。他の6つのインストラクション214a及び214c～214gはすべて、以下に詳細に説明するが、フローコントロールインストラクションである。インストラクション214a～214gのほとんどは、VCIレジスタ150において求めたデータからオフで動作する。

【0044】

以下に示す表は、種々のVCIレジスタ150の記述を行うものである。表1はVCIコントロールレジスタの記述を定義する。表2はマクロプロトコル及びプロトコルレジスタの記述を定義する。表3は上位レイヤ復号化のためのピクチャレイヤレジスタの記述を定義する。表4はコントロール及びステータスレジスタの記述を定義する。表5はコントロールレジスタの記述を定義し、表5はブレディクタ及びスタートマシンレジスタの記述を定義する。

【0045】

表1：VCIコントロールレジスタの定義			
名称	フィールド	タイプ	記述
vci_addr	[5:0]	r/w	VCI間接レジスタアドレス
vci_data	[15:0]	r/w	VCI間接レジスタアドレス

【0046】

VCIコントロールレジスタは、以下の表2～5において定義されるVCI間

接レジスタにアクセスするのに使用される。RISC CPU112は、特定アドレスのVCI間接レジスタのコンテンツの読み出し及び書き込みを行うようにVCI_addressレジスタをセットアップする。この読み出し及び書き込み動作はVCI_dataレジスタにより行われる。

【0047】

§2：マクロプロックレベルのVCI間接レジスタの定義

名称	アドレス	幅	リード	ディレクトリ	記述
vci_mba_x	0×00	7	r/w		マクロプロックアドレスx次元
vci_mba_y	0×01	7	r/w		マクロプロックアドレスy次元
vci_vld_out	0×02	16	r/w		VLDの仮出力
vci_q_scale	0×03	5	r/w		量子化スケール情報
vci_cbp	0×04	8	r/w		符号化プロックバッターン

【0048】

§2：マクロプロックレベルのVCI間接レジスタの定義（続き）

名称	アドレス	幅	リード	ディレクトリ	記述
vci_mvtype	0×05	5	r/w		マクロプロックタイプ
vci_mvtype	0×06	3	r/w		復号化された動きのタイプ
				[0] mv_count	
				0:1ベクトル、1:2ベクトル	
				[1] mv_format	
				0:フィールド、1:フレーム	
				[2] dmv	
vci_dct_type	0×07	1	r/w		dctタイプ
vci_mvfs1	0×08	1	r/w		0:フレーム、1:フィールド
reserved	0×09	1			動き垂直フィールド選択1 リザーブ
vci_temp_0	0×0a～ 0×0f		r/w		リザーブ

【0049】

表3：ビクチャレベルレイヤのVCI間接レジスタの定義

名稱	アドレス	幅	リード	ディレクトリ	記述
vci_pic_init	0×10	26	r/w	[25:24]	:DC精度 -->00:8ビット、01:9ビット、 10:10ビット、 -->11:11ビット
				[23:20]	:後方垂直コード
				[19:16]	:後方水平コード
				[15:12]	:前方垂直コード
				[11:8]	:前方水平コード
				[7]	:コンシールメント動きベクトル
				[6]	:イントラヴィンコーマット
				[5]	:frame_pred_frame_dct
				[4:2]	:ビクチャ符号化タイプ
				(I, P, B, D)	
				[1:0]	:ビクチャストラクチャ
				(フィールド、フレーム)	
				-->[00]	:リザーブ
				-->[01]	:トップフィールド
				-->[10]	:ボトムフィールド
				-->[11]	:フレーム
vci_seq_init	0×11	10	r/w	[10:4]	:mb数×次元 [3]:0:レギュラー、 1:スペシャルーblkタイプ
				[2]:0:mpeg2、1:mpeg1	
				[1:0]	:クロマフォーマット
				-->00:リザーブ、01:420、 10:422、 -->11:444	

vc1_conceal 0×12 3 r/w コンシールメントカウント

vc1_temp_1 0×13～ 0×1f r/w リザーブ

レジスタ

【0050】

図4：コントロール及びステータスのVC1間接レジスタの定義

名称 アドレス 幅 Dir 記述

vc1_cntl 0×20 2 r/w vc1ステートコントロールレジスタ

[31:30]=00:ラン

[31:30]=10:ホールト

[31:30]=11:リセット

vc1_pc 0×21 8 r/w vc1プログラムカウンタ

vc1_rom 0×22 16 r/w vc1_rom出力ポート

vc1_dmvfifo_addr 0×23 3 r/w dmbo_fifo読み出し/書き込みアドレス

dmbo_fifo読み出し/書き込みアドレス

vc1_dmvfifo 0×24 2 r/w dmbo_fifoデータポート

vc1_pointer 0×25 7 r/w ロデータポインタ

vc1_dec_lpred 0×26 12 r/w 極度DC予測値。DC1predへの書き込みは、DEC_modeレジスタにおけるDC精度ビットにより示される定数値へリセットする。

vc1_dec_cpred 0×27 r/w クロマDC予測値。DEC_cpredへの書き込みは、DEC_modeレジスタにおけるDC精度ビットにより示される定数値にリセットする。

【0051】

vc1_mv_predfv0 0×30 13 r/w mvfs、動きベクトルプレディクタ前方水平ファースト

vc1_mv_predbh0 0×32 13 r/w mvfs、動きベクトルプレディクタ前方垂直ファースト

vc1_mv_predfh1 0×34 13 r/w mvfs、動きベクトルプレディクタ後方垂直ファースト

vc1_mv_predfv1 0×35 13 r/w mvfs、動きベクトルプレディクタ前方水平ーセカンド

vc1_mv_predbh1 0×36 13 r/w mvfs、動きベクトルプレディクタ後方垂直ーセカンド

vc1_mv_predbv1 0×37 13 r/w mvfs、動きベクトルプレディクタ後方垂直ーセカンド

vc1_err_bits 0×38 10 r エラー条件

【9】motype_err

【8】coef_err

【7】rl_error

【6】cbp_err

【5】mv_err

【4】mbi_err

【3】mtype_err

【2】get_ac_err

【1】dctdcz_chroma_err

【0】dctdcz_juma_err

表5：プレディクタ及びステートマシンのVC1間接レジスタの定義

名称	アドレス	幅	Dir	記述
vc1_mv_predfv0	0×31	13	r/w	mvfs、動きベクトルプレディクタ前方水平ーファースト

名称	アドレス	幅	Dir	記述
vc1_mv_predbh0	0×32	13	r/w	mvfs、動きベクトルプレディクタ前方垂直ーファースト

名称	アドレス	幅	Dir	記述
vc1_mv_predfh1	0×34	13	r/w	mvfs、動きベクトルプレディクタ後方垂直ーファースト

名称	アドレス	幅	Dir	記述
vc1_mv_predfv1	0×35	13	r/w	mvfs、動きベクトルプレディクタ前方水平ーセカンド

名称	アドレス	幅	Dir	記述
vc1_mv_predbh1	0×36	13	r/w	mvfs、動きベクトルプレディクタ後方垂直ーセカンド

名称	アドレス	幅	Dir	記述
vc1_mv_predbv1	0×37	13	r/w	mvfs、動きベクトルプレディクタ後方垂直ーセカンド

名称	アドレス	幅	Dir	記述
vc1_err_bits	0×38	10	r	エラー条件

名称	アドレス	幅	Dir	記述
【9】motype_err				

名称	アドレス	幅	Dir	記述
【8】coef_err				

名称	アドレス	幅	Dir	記述
【7】rl_error				

名称	アドレス	幅	Dir	記述
【6】cbp_err				

名称	アドレス	幅	Dir	記述
【5】mv_err				

名称	アドレス	幅	Dir	記述
【4】mbi_err				

名称	アドレス	幅	Dir	記述
【3】mtype_err				

名称	アドレス	幅	Dir	記述
【2】get_ac_err				

名称	アドレス	幅	Dir	記述
【1】dctdcz_chroma_err				

名称	アドレス	幅	Dir	記述
【0】dctdcz_juma_err				

【0052】

式5：プレディクタ及びステートマシンのVC1間接レジスタの定義（範囲）

名 称 アドレス 幅 Dir 記述

vc1_stm 0×39 4 r ステートマシン：

[14 : 12] vstate: motion vec STM

[11 : 9] dc_cstate: dc STM

[8 : 7] sc_state: start_code STM

[6 : 3] ms_cstate: MB STM

[2 : 0] lc_cstate: block STM

vc1_tmp_3 0×3a～

0×3f

【0053】

式6は、Rバスインターフェース144を備えたVLDコントロールレジスタを定義する。

【0054】

式6：Rバスインターフェースを備えたVLDレジスタ

名 称 Dir ビットフィールド 記述

dec_value1 r/w [15 : 0] DECODE BLOCKコマンドを除くすべて

のコマンドについての復号化値を保持する。DECODE BLOCKコマンドはこのフィールドの復号化DC係数を戻す。

この値は現在のラン及びレベルを保

持する。

rlfifo_adr r/w [6 : 0] rl_fifo読み出し／書き込みアドレス

スピット6-0：読み出し、

1：書き込み

rlfifo_data r/w [17 : 0] rl_fifoデータポート

スティータスピット

[10] vld_busy

【0055】

式6：Rバスインターフェースを備えたVLDレジスタ（範囲）

名 称 アドレス 幅 Dir r/w [12 : 0] mv_fifoデータポート

vld_cntl Di r ビットフィールド 記述

[11 : 0] 00 : ラン、10 : ホールト

11 : リセット

vld_pic_hdr r/w [31 : 0] ピクチャレベルパラメータ：

[31:28] f_code[0][0] (F, H)

[27:24] f_code[0][1] (F, V)

[19:16] f_code[1][1] (B, V)

[15:14] intra_dc_prec

[13:12] pic_structure

[11] topfld_first

[10] frame_prediction_frame_dct

[9] concealment_motion_vectors

[8] q_scale_type

[7] intra_vlc_format

[6] alternate_scan

[5] repeat_first_field

[4] chroma_420

[3] progressive_frame

[2:0] pic_type

rl_fifo読み出し／書き込みアドレス

スピット6-0：読み出し、

1：書き込み

rl_fifoデータ r/w [17 : 0]

vld_status r/w [10 : 0]

[10] vld_busy

[9] vld_mv_fifo_empty

[8] vld_cfifo_empty

[7:4] chfifo_wr_addr

[3:0] chfifo_rd_addr

vld_cmd r/w [7 : 0]
 dec_status r/w [15]
 vld_cmd r/w [7 : 0]
 dec_status r/w [15]

cpuからの実行されるvldコマンド
 エラー。ビットストリームが検出さ
 れた場合にセレクト。ステッキービ
 ット。

【0056】

表6：rバスインターフェースを備えたVLDレジスタ (続き)

名称 Dir ビットフィールド 記述

[14] chan_fifo_empty

チャネル FIFO 空き

chan_fifo_wrprt

チャネル FIFO ライトポインタ

[13 : 10]

chan_fifo_rdptr

チャネル FIFO リードポインタ

[9 : 6]

bitent デコーダビットストリームリ

ードポインタ。デコーダにより次に記

み出されるビットの数。

vld_cmd r/w [7 : 0]
 cpuからのvldコマンド→このアドレ

スが「バスインターフェースから書き

込まれるとvldコマンドが実行され

る。

【0057】

表7は、Gバスインターフェースを備えたVLDコントロールレジスタを定義する。

【0058】

表7：Gバスインターフェースを備えたVLDレジスタ

名称 Dir ビットフィールド 記述

word_fifo_r/w [63 : 0]

デコーダ FIFOデータポート

【0059】

次にFig. 6A～6Gのマイクロシーケンサンストラクション214a～214gについて、TBIT (テストビット) インストラクション214aは、VCIレジスタ220における ("bitnum"218により与えられる) ビットのテストを行い、4ビット前方相対アドレス222の値と等しい場合に分歧する。COMP (比較) インストラクション214cは、("msb"24)のステータスに

より決定される) vci_vld_outレジスタの8msb又は8lsbのデータコンテンツを即時データ226と比較し、その結果をフラグレジスタ228に保存する。"st_code"230=1である場合、vci_vld_outレジスタのコンテンツはスタートコードパターンと比較され、それらがマッチしてスタートコードが求められたことを示す場合に、フラグレジスタ228が設定される。BRANCHインストラクション214dは、8ビットの分岐目標アドレス232に対する絶対分岐を行う。"err"ビット234はvciエラーを示し、"halt"ビット236はvcicnントロールレジスタをホールステートに変更することを示す。SETF (フラグ設定) インストラクション214eは、即時データ238に応じた値によりフラグレジスタの8lsbを設定する。INCM (インクリメントマクロブロック) インストラクション214fは、VCIレジスタ240の低位バイトを即時データ242と比較し、等しくなければストールする。フローコントロールインストラクションの最後には、HALTインストラクション214gがビデオデコーダ104のホールトを行い、vld_busy信号を取り下げる。

【0060】

ICMD及びCMD1 (コマンド発生) インストラクション214bは、22のコマンドのうちのいずれかをビデオデコーダ104に送り、出力をVCIレジスタ244に記憶する。ICMDインストラクションにより、マイクロシーケンサ134はビデオデコーダ104にコマンドを送り、待機する。CMD1インストラクションは、マイクロシーケンサ134によりビデオデコーダ104へコマンドを送り、マイクロコードをランし続ける。

【0061】

ビデオデコード104に送られる種々のコマンドを表8に示す。

【0062】

R8 : VLCコマンド

OPコード シンボル 記述

0000 0001 <vld_escape> マクロロックエスケープ

0000 0010 <vld_pseek> ピーク一単にアップデータトCCCを実行しない

0000 0011 <vld_startcode> ファーストスタートコード

0000 0100 <vld_mbi> マクロロックアドレスインクリメント

0000 0101 <vld_cbp> 符号化ロックパターン

0000 0110 <vld_intra_luma> イントラ脚度ロックをラン

0000 0111 <vld_intra_chromav> イントラクロマUロックをラン

0000 1000 <vld_intra>chromav> イントラクロマVロックをラン

0000 1001 <vld_non_intra> 非イントラロックをラン

0000 1010* <vld_mbs> マクロロックスタート信号を発生

0000 1100* <vld_dpcm> 脚度及びクロマプレディクタをリセット

0000 1101* <vld_mv_pred> 動きベクトルプレディクタをリセット

0001 0000 <vld_dmv> デュアルブライム動きベクトルを得る

0001 0001 <vld_non_coded> 非符号化ロックをラン

0001 0100 <vld_field_motiontype> 符号化フィールド動きタイプ

0001 0101 <vld_frame_motiontype> 復号化フレーム動きタイプ

0001 1000 <vld_mttypei> Iビクチャのマクロロックタイプを得る

0001 1001 <vld_mttypep> Pビクチャのマクロロックタイプを得る

0001 1010 <vld_mttypeb> Bビクチャのマクロロックタイプを得る

0001 1011 <vld_mttyped> Dビクチャのマクロロックタイプを得

る

ビットxxxx <vld_get<bitxx> 次の1～16ビット(0=>16)を得る

0011 0xyz <vld_mvxyz> 動きベクトルを得る：x-前方、y-水平、z-ファースト

* : cmd i インストラクションから送る必要がある。

【0063】

表8のVLDコマンドは、多種多様の符号化に共通な自立的動作である。VLCDインストラクションは、一般に、MPEG VLCテーブルからの値を得るための可変長テーブル復号化コマンド、符号化ビデオデータからのパラメータ化されたビット数を受信するためのインストラクション、又はロック動作として分類される。

【0064】

例えば、<vld_get_bitxx>コマンドは、ロデータ／バレルシフタ158から特定数のビットを取り出し、取り出したビット数によりポインタレジスタ160をインクリメントする。<vld_dmv>コマンドは、ビデオデータビットストリームからの3つのパラメータを用いてMPEG VLCテーブルのうちのいずれかから動きベクトル値を取り出す。具体的には、各動きベクトルは前の動きベクトルと予測の組み合わせとして記憶される。予測はそれ自身、(可変長符号化された)商と(固定長符号)余りとして符号化される。<vld_dmv>コマンドは、MPEG VLCテーブルを介して商を復号化し、余りの位置と商の値を求めるのに使用される。余りは<vld_get_bitxx>コマンドを用いて得られる。そして、商と余りが組み合わせられて、動きベクトル成分を生成する。<vld_pseek>コマンドは、取り出したビット数によりポインタレジスタ158からの特定数のビットを認識可能にする。

【0065】

本発明を種々の実施例を用いて説明し、これらの実施例については非常に詳細に説明したが、当該分野の技術者にとってはさらなる利点及び変更が容易に明らかとなるであろう。従って、本発明は広義において、特定の詳細な項目、代表的な

装置や方法、説明及び図示した具体例に限定されるものではない。従つて、本願の一般的発明概念の範囲を逸脱しない限り、このような詳細事項を変更してもよい。

V_u [前面の簡単な説明]

【図1】

Fig. 1は、本発明の原理に従つてデジタルオーディオ/ビデオ信号データの圧縮解除及び出力をを行うビデオノオーディオデコーダのブロック図である。

【図2】

Fig. 2は、デジタル符号化されたビデオデータ及び制御情報を探号化するための可変長デコーダ(VLD)により構成される、Fig. 1に示す復号化システムにおけるビデオデコーダのブロック図である。

【図3】

Fig. 2 Aは、Fig. 2に示すビデオデコーダのマイクロシーケンサとVLDコマンド復号化/実行ユニットのブロック図である。

【図4】

Fig. 3は、Fig. 2の可変長デコーダ(VLD)コマンド復号化/実行ユニットと可変長テーブルデコーダとに、符号化されたビデオデータの32ビットインクリメントを供給するローターハレルシフタ回路の概略図である。

【図5】

Fig. 4は、Fig. 2の可変長デコーダ(VLD)コマンド復号化/実行ユニットによりアクセスされる「macroblock_address_increment」可変長コード(VLC)テーブルにおけるハーシャンマッチ構造を示す図である。

【図6】

Fig. 5は、ビデオデータ圧縮解除プロセスにおいて可変長コード(VLC)テーブルにアクセスするときにFig. 2の可変長デコーダ(VLD)により使用される復号化論理回路の機能ブロック図である。

【図7】

Fig. 6 Aは、TBITインストラクションのマイクロシーケンサインストラクションフォーマットを示す図である。

Fig. 6 Bは、ICMD、CMDIインストラクションのマイクロシーケンサインストラクションフォーマットを示す図である。

Fig. 6 Cは、COMP Iインストラクションのマイクロシーケンサインストラクションフォーマットを示す図である。

Fig. 6 Dは、BRANCHインストラクションのマイクロシーケンサインストラクションフォーマットを示す図である。

Fig. 6 Eは、SETFインストラクションのマイクロシーケンサインストラクションフォーマットを示す図である。

Fig. 6 Fは、INCIMインストラクションのマイクロシーケンサインストラクションフォーマットを示す図である。

Fig. 6 Gは、HALTインストラクションのマイクロシーケンサインストラクションフォーマットを示す図である。

[图2]

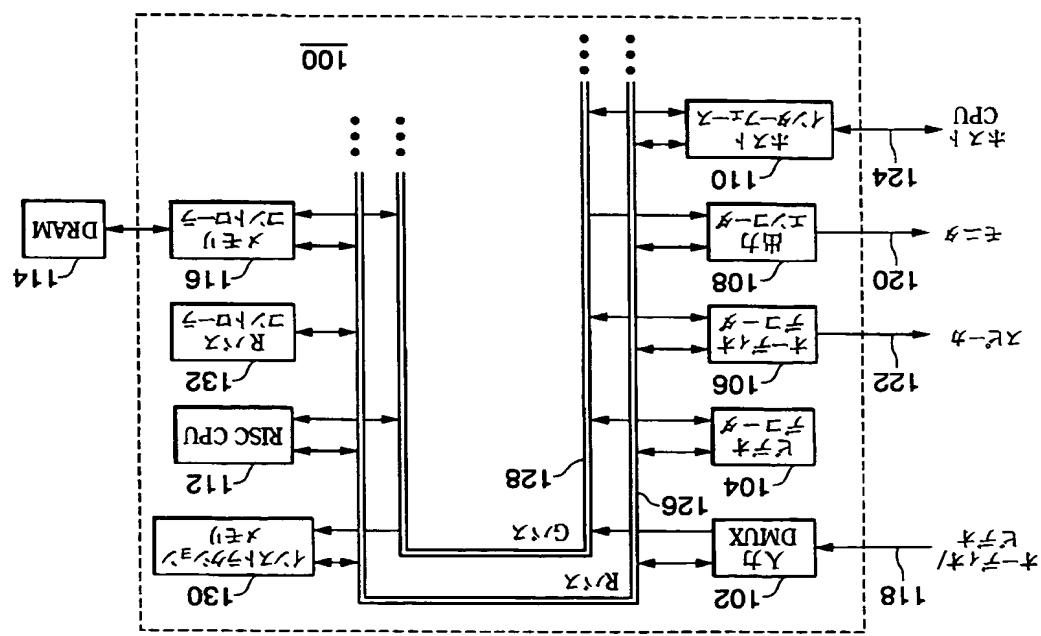


FIG. 1

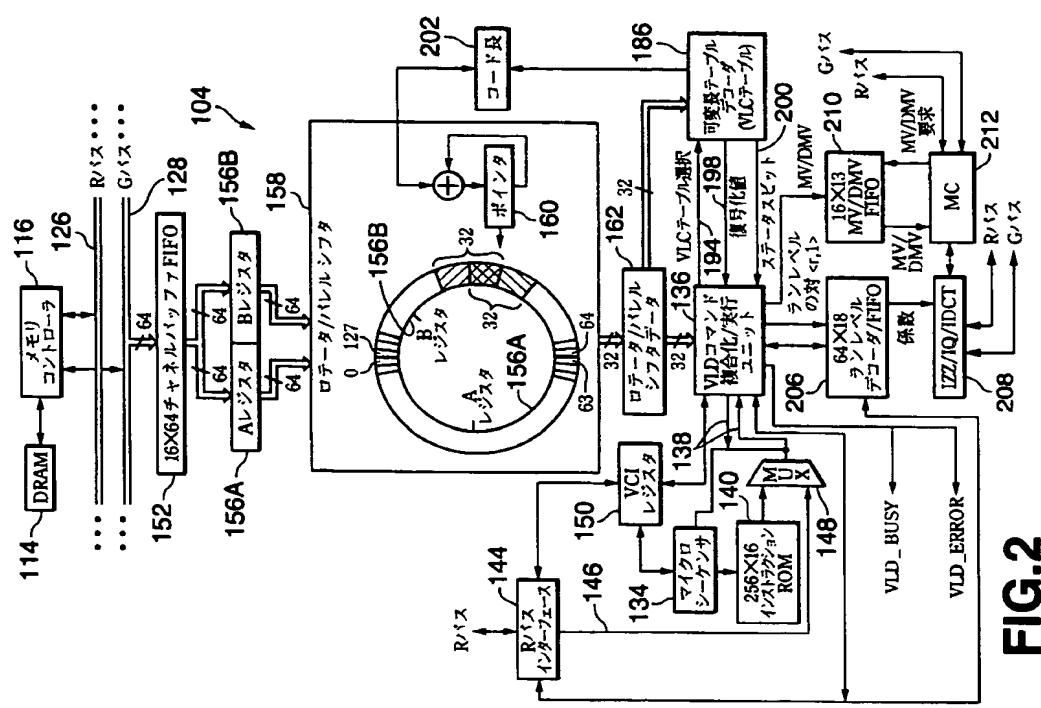


FIG. 2

FIG.4

"MACROBLOCK_ADDRESS_INCREMENT"用のVLCテーブル パターンマッチ	
可変長コード	インクリメント値 パターンマッチ コード長
1	K ₀ 1
011	K ₁ 2
010	K ₁ 3
0011	K ₁ 3
0010	K ₂ 4
00011	K ₂ 5
00010	K ₃ 5
000011	K ₄ 6
000010	K ₄ 7
0000011	K ₄ 8
0000010	K ₄ 9
00000011	K ₄ 10
00000010	K ₄ 11
000000011	K ₄ 12
000000010	K ₄ 13
0000000011	K ₄ 14
0000000010	K ₄ 15
00000000011	K ₅ 16
00000000010	K ₅ 17
000000000011	K ₅ 18
000000000010	K ₅ 19
0000000000011	K ₅ 20
0000000000010	K ₅ 21
00000000000011	K ₅ 22
00000000000010	K ₅ 23
000000000000011	K ₅ 24
000000000000010	K ₅ 25
0000000000000011	K ₅ 26
0000000000000010	K ₆ 27
00000000000000011	K ₆ 28
00000000000000010	K ₆ 29
000000000000000011	K ₆ 30
000000000000000010	K ₆ 31
0000000000000000011	K ₆ 32
0000000000000000010	K ₆ 33
00000000000000000011	K ₆ 34

(41)

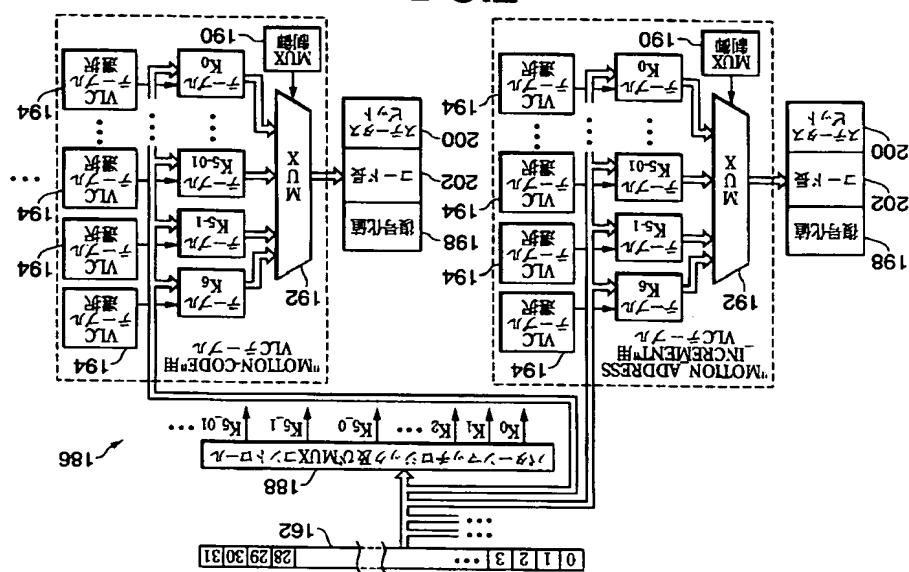
特表2002-516501

【図5】

(42)

【図6】

FIG.5



【図7】

【手続補正件】特許協力条約第3・4条補正の翻訳文提出書

【提出日】平成12年8月11日(2000.8.11)

【手続補正1】

【補正対象特類名】明細書

【補正請求の範囲】

【請求項1】送信されたフレームの画像エリアを表す複数の可変長符化データからなる圧縮ビデオデータストリームを復号化する可変長デコーダ(104)であつて、

TBIT:
OPコード 3 | VCLレジスタ 5 | ビット数 3 | 値 1 | 4ビット前方相対アドレス 4ICMD,CMD:
OPコード 3 | VCIレジスタ 5 | VIDコマンド 8COMP:
OPコード 3 | ST.CODE 1 | MSH 3 | フラグ 3 | 即時データ 8BRANCH:
OPコード 3 | 未使用 3 | ERR 1 | HALT 1 | 8ビット絶対分岐アドレス 8SETF:
OPコード 3 | 未使用 5 | 即時データ 8INCM:
OPコード 3 | VCLレジスタ 5 | 即時データ 8HALT:
OPコード 3 | 未使用 5 | 未使用 8

214a

214b

214c

214d

214e

214f

214g

214h

214i

214j

214k

214l

214m

214n

214o

214p

214q

214r

214s

214t

214u

214v

214w

214x

214y

214z

214aa

214ab

214ac

214ad

214ae

214af

214ag

214ah

214ai

214aj

214ak

214al

214am

214an

214ao

214ap

214aq

214ar

214as

214at

214au

214av

214aw

214ax

214ay

214az

214ba

214bb

214bc

214bd

214be

214bf

214bg

214bh

214bi

214bj

214bk

214bl

214bm

214bn

214bo

214bp

214qq

214rr

214ss

214tt

214uu

214vv

214ww

214xx

214yy

214zz

214aa

214ab

214ac

214ad

214ae

214af

214ag

214ah

214ai

214aj

214ak

214al

214am

214an

214ao

214ap

214qq

214rr

214ss

214tt

214uu

214vv

214ww

214xx

214yy

214zz

214aa

214ab

214ac

214ad

214ae

214af

214ag

214ah

214ai

214aj

214ak

214al

214am

214an

214ao

214ap

214qq

214rr

214ss

214tt

214uu

214vv

214ww

214xx

214yy

214zz

214aa

214ab

214ac

214ad

214ae

214af

214ag

214ah

214ai

214aj

214ak

214al

214am

214an

214ao

214ap

214qq

214rr

214ss

214tt

214uu

214vv

214ww

214xx

214yy

214zz

214aa

214ab

214ac

214ad

214ae

214af

214ag

214ah

214ai

214aj

214ak

214al

214am

214an

214ao

214ap

214qq

214rr

214ss

214tt

214uu

214vv

214ww

214xx

214yy

214zz

214aa

214ab

214ac

214ad

214ae

214af

214ag

214ah

214ai

214aj

214ak

214al

214am

214an

214ao

214ap

214qq

214rr

214ss

214tt

214uu

214vv

214ww

214xx

214yy

214zz

214aa

214ab

214ac

214ad

214ae

214af

214ag

214ah

214ai

214aj

214ak

214al

214am

214an

214ao

214ap

214qq

214rr

214ss

214tt

214uu

214vv

214ww

214xx

214yy

214zz

214aa

214ab

214ac

214ad

214ae

214af

214ag

214ah

214ai

214aj

214ak

214al

214am

214an

214ao

214ap

214qq

214rr

214ss

214tt

214uu

214vv

214ww

214xx

214yy

214zz

214aa

214ab

214ac

214ad

214ae

214af

214ag

214ah

214ai

214aj

214ak

214al

214am

214an

214ao

214ap

214qq

214rr

214ss

214tt

214uu

214vv

214ww

214xx

214yy

214zz

214aa

214ab

214ac

214ad

214ae

214af

214ag

214ah

214ai

214aj

214ak

214al

214am

214an

214ao

214ap

214qq

214rr

214ss

214tt

214uu

214vv

214ww

214xx

214yy

214zz

214aa

214ab

214ac

214ad

214ae

実行回路（136）にコマンドを供給して可変長符号化データを対応する復号化信号に変換するインストラクション復号化及び制御回路（142）とを備えることを特徴とする請求項1記載の可変長デコーダ（104）。

【請求項3】 コマンドインストラクションレジスタ（150）は、コマンド復号化及び実行回路（142）に供給されたインストラクションに関連することを特徴とする請求項1記載の可変長デコーダ（104）。

【請求項4】 コマンド復号化及び実行回路（136）に接続され、可変長符号化データを受信すると共に、対応する復号化値をコマンド復号化及び実行回路（142）に供給する可変長テーブルデコーダ（186）をさらに有することを特徴とする請求項1記載の可変長デコーダ（104）。

【請求項5】 コマンド復号化及び実行回路（136）は、MPEGシンタクスに従った可変長符号化データを復号化することを特徴とする請求項1記載の可変長デコーダ（104）。

【請求項6】 コマンド復号化及び実行回路（136）は、可変長符号化データを復号化して、それぞれランレンジス値と振幅レベル値とからなるDCT係数シンボルを得ることを特徴とする請求項5記載の可変長デコーダ（104）。

【請求項7】 コマンド復号化及び実行回路（136）に接続され、DCT係数シンボルを圧縮されたランレンジスと振幅レベルの対として記憶するファーストイシフタリストアトメモリ及びデコーダ（206）をさらに有することを特徴とする請求項6記載の可変長デコーダ（104）。

【請求項8】 ファーストイシフタリストアトメモリ及びデコーダ（206）に接続された逆DCT変換回路（208）をさらに有し、ファーストイシフタリストアトメモリ及びデコーダ（206）が、ランレンジスと振幅レベルの対の圧縮解除を行って、送信されたフレームの画像データを再構成する際にDCT変換回路（208）により使用されるDCT係数を得ることを特徴とする請求項7記載の可変長デコーダ（104）。

【請求項9】 コマンド復号化及び実行回路（136）は、可変長符号化データを復号化して動きペクトル値を得ることを特徴とする請求項5記載の可変長データをマッチするユニットレフィクスバーターン後の可変長符号化データにおける追加データとマッチするユニットレフィクスバーターン後の可変長コードにおける追加データを待る制御回路（190、192）とを有し、

シフタ回路（164）により認識可能とされた可変長符号化データ（162）

を、バーターンマッチ回路（188）とサブテーブルデータ回路のそれぞれに接続

して、バーターンマッチ回路（188）とサブテーブルデータ回路のそれぞれに対

トル値を記憶するファーストイシフタリストアトメモリ（210）をさらに有することを特徴とする請求項9記載の可変長デコーダ（104）。

【請求項11】 ファーストイシフタリストアトメモリ（210）に接続された動き補償回路（212）をさらに有し、ファーストイシフタリストアトメモリ（210）が、送信されたフレームの画像データを再構成する際に動き補償回路（212）に動きペクトル値を供給することを特徴とする請求項10記載の可変長デコーダ（104）。

【請求項12】 可変長コードテーブルを用いて、送信されたフレームの画像エリアを表す可変長符号化データからなる圧縮ビデオデータを復号化する可変長テーブルデコーダ（186）であって、

可変長符号化データを記憶するメモリ（156A、156B、162）と、
メモリ（156A、156B）に開通して、可変長符号化データの所定数のビット（162）を認識可能なシフタ回路（164）と、
メモリ（156A、156B）及びシフタ回路（164）に接続され、シフタ回路（164）により認識可能とされた可変長符号化データ（162）におけるユニットレフィクスバーターンを識別するバーターンマッチ回路（188）と、
複数の可変長コードのそれぞれに開通する復号化値を有し、可変長コードにおけるユニットレフィクスバーターンにそれぞれ開通する複数のサブテーブルデータからなる可変長コードテーブルデータと、

ハーターンマッチ回路（188）に応じて、可変長符号化データにおける識別されたフレフィクスバーターンとマッチする可変長コードにおけるユニットレフィクスバーターンに開通するサブテーブルデータ回路から復号化値（198）を得ると共に、識別されたフレフィクスバーターン後の可変長符号化データにおける追加データとマッチするユニットレフィクスバーターン後の可変長コードにおける追加データを待る制御回路（190、192）とを有し、

シフタ回路（164）により認識可能とされた可変長符号化データ（162）を、バーターンマッチ回路（188）とサブテーブルデータ回路のそれぞれに接続して、バーターンマッチ回路（188）とサブテーブルデータ回路のそれぞれに対

【請求項1.3】 可変長コードのそれぞれが関連するコード長を有し、制御回路（190、192）は、バータンマッチ回路（188）に応じて、可変長符号化データにおける識別されたプレフィックスパターンとマッチする可変長コードにおけるユニークプレフィックスパターンに関連するサブテーブルデータ回路からコード長（202）を得ると共に、識別されたプレフィックスパターン後の可変長符号化データにおける追加データとマッチするユニークプレフィックスパターン後の可変長コードにおける追加データを得ることを特徴とする請求項1.2記載の可変長テーブルデコーダ（186）。

【請求項1.4】 シフタ回路（164）は、メモリ（156A、156B）における可変長符号化データを選択的にシフトする複数のセレクタ回路を有することを特徴とする請求項第1.2項記載の可変長テーブルデコーダ（186）。

【請求項1.5】 複数のセレクタ回路は複数のセレクタステージに配置され、各セレクタステージが、2のべき乗でメモリ（156A、156B）における可変長符号化データをシフトする、あるいは、可変長符号化データのシフトを全く行わないことを特徴とする請求項1.4記載の可変長テーブルデコーダ（186）。

【請求項1.6】 セレクタステージのうちの少なくとも1つは、前のセレクタステージより少ないセレクタ回路を有することを特徴とする請求項1.5記載の可変長テーブルデコーダ（186）。

【請求項1.7】 各セレクタステージは、その前のセレクタステージよりも少ないセレクタ回路を有することを特徴とする請求項1.5記載の可変長テーブルデコーダ（186）。

【請求項1.8】 シフタ回路（164）は、最後に得られたコード値に応じて、得られたコード値と等しい数のビット分だけメモリ（156A、156B）における可変長符号化データをシフトすることを特徴とする請求項1.4記載の可変長テーブルデコーダ（186）。

【請求項1.9】 可変長コードテーブルを用いて、送はされたフレームの画像

エリアを表す複数の可変長符号化データからなる圧縮ビデオデータストリームを復号化する方法であって、

複数の可変長コードのそれぞれに関連する復号化値を有する可変長コードテーブルを定義し、可変長コードに関連する複数のユニークプレフィックスパターンを定義し、各サブテーブルが可変長コードにおけるユニークプレフィックスパターンのうちのいずれかに関連すると共にユニークプレフィックスパターン後に関連する少なくとも1つの復号化値とユニークプレフィックスパターン後の可変長コードにおける追加データとを有するように構成された複数のサブテーブルを定義し、可変長符号化データにおいて、可変長コードに関連するユニークプレフィックスパターンのうちの1つを識別し、複数のサブテーブルのそれぞれに対して可変長符号化データを同時に送り、可変長符号化データにおける識別されたプレフィックスパターンとマッチする可変長コードにおけるユニークプレフィックスパターンに関連するサブテーブルから復号化値（198）を得ると共に、識別されたプレフィックスパターン後の可変長符号化データにおける追加データとマッチするユニークプレフィックスパターンの可変長コードにおける追加データを得る工程を有することを特徴とする方法。

【請求項2.0】 コード長を複数の可変長コードのそれぞれに関連させ、可変長符号化データにおける識別されたプレフィックスパターンとマッチするコード長（202）と、識別されたプレフィックスパターン後の可変長符号化データにおける追加データとマッチするプレフィックスパターン後の追加データとを得る工程をさらに有することを特徴とする請求項1.9記載の方法。

【手続補正2】

【補正対象書類名】 明細書

【補正対象項目名】 0010

【補正方法】 変更

【補正内容】

【0010】

特許2002-516501

(49)

特許2002-516501

従って、MPEG-1又はMPEG-2規格により符号化された可変長DCT係数及び動きベクトルを効率的に復号するVLDが必要である。また、種々のMPEG可変長コードを復号するのに必要なメモリ量を最小限にするVLDが必要である。さらに、所定のインストラクションセットに従つてマイクロシンサからインストラクションを受信すると共にマスクコントローラからインストラクションを受信するVLDが必要である。

米国特許出願第5502493号(US-A-5,502,493)では、可変長デコーダにより構成されるMPEG信号のデコーダを開示している。

ITU-T勧告H.222.0、情報通信技術-動画及び関連するオーディオ情報の一般的符号化：システム、1995年7月(ITU-T Recommendation H.222.0, Information Technology - Generic Coding of Moving Pictures and Associated Audio Information: Systems, July 1995) (ISO/IEC国際規格13818-1と同一)では、オーディオ及びビデオデータが符号化の前にデマルチプレクスされるシステムを開示している。
また、米国特許出願第5604499号(US-A-5,604,499)では、圧縮されたビデオデータを可変長コードテーブルを用いて復号化する可変長テーブルデータを附記している。

【提出日】平成12年11月20日(2000.11.20)
【手続補正】
【補正対象書類名】明細書
【補正対象項目名】全文
【補正方法】変更
【補正内容】

【発明の名称】デジタル符号化されたビデオ信号を復号化する可変長デコーダ
【特許請求の範囲】
【請求項1】送信されたフレームの画像エリアを表す複数の可変長符号化データからなる圧縮ビデオデータストリームを復号化する可変長デコーダ(104)であつて、
可変長符号化されたデータを記憶するメモリ(114)と、
メモリに接続され、メモリ(114)からの選択された可変長符号化データを受信するコマンド復号化及び実行回路(136)と、
コマンド復号化及び実行回路(136)に接続され、コマンド復号化及び実行回路(136)にコマンドを供給して可変長符号化データを対応する復号化値に変換するシーケンサ(134)と、
コマンド復号化及び実行回路(136)に接続され、シーケンサ(134)とは独立してコマンド復号化及び実行回路(136)にコマンドを供給して、コマンド復号化及び実行回路(136)の復号化動作を制御するマスタコントローラ(112)とを有する可変長デコーダ(104)。

【請求項2】シーケンサ(134)は、複数のインストラクションを記憶するメモリ(140)と、インストラクションメモリ(140)に接続されてメモリ(140)からのインストラクションを復号化すると共にコマンド復号化及び実行回路(136)にコマンドを供給して可変長符号化データを対応する復号化値に変換するインストラクション復号化及び制御回路(142)とを備えることを特徴とする請求項1記載の可変長デコーダ(104)。

【請求項3】シーケンサ(134)及びマスタコントローラ(112)に接

統されたコマンドインストラクションレジスタ（150）を有し、シーケンサ（134）及びマスターコントローラ（112）は、コマンドインストラクションレジスタ（150）のコンテンツの読み出し及び書き込みを行うことを特徴とする請求項1記載の可変長デコーダ。

【請求項4】 コマンドインストラクションレジスタ（150）は、コマンド復号化及び実行回路（142）に供給されたインストラクションに関連することを特徴とする請求項3記載の可変長デコーダ（104）。

【請求項5】 コマンド復号化及び実行回路（136）に接続され、可変長符号化データを受信すると共に、対応する復号化値をコマンド復号化及び実行回路（142）に供給する可変長テーブルデコーダ（186）をさらに有することを特徴とする請求項1記載の可変長デコーダ（104）。

【請求項6】 コマンド復号化及び実行回路（136）は、MPEGシンタックに従った可変長符号化データを復号化することを特徴とする請求項1記載の可変長デコーダ（104）。

【請求項7】 コマンド復号化及び実行回路（136）は、可変長符号化データを復号化して、それぞれレンダリングスビット値と振幅レベル値と振幅レベル値とからなるDCT係数シンボルを得ることを特徴とする請求項6記載の可変長デコーダ（104）。

【請求項8】 コマンド復号化及び実行回路（136）に接続され、DCT係数シンボルを圧縮されたレンダリングスと振幅レベルの対として記憶するファーストインプットメモリ及びデコーダ（206）をさらに有することを特徴とする請求項7記載の可変長デコーダ（104）。

【請求項9】 ファーストインプットメモリ及びデコーダ（206）に接続された逆DCT変換回路（208）をさらに有し、ファーストインプットメモリ及びデコーダ（206）が、ランレンジングスと振幅レベルの対の圧縮解除を行つて、送信されたフレームの画像データを再構成する際にDCT変換回路（208）により使用されるDCT係数を得ることを特徴とする請求項8記載の可変長デコーダ（104）。

【請求項10】 コマンド復号化及び実行回路（136）は、可変長符号化データを復号化して動きベクトル値を得ることを特徴とする請求項6記載の可変長

デコーダ（104）。

【請求項11】 コマンド復号化及び実行回路（136）に接続され、動きベクトル値を記憶するファーストインプットメモリ（210）をさらに有することを特徴とする請求項10記載の可変長デコーダ（104）。

【請求項12】 ファーストインプットメモリ（210）に接続された動き補償回路（212）をさらに有し、ファーストインプットメモリ（210）が、送信されたフレームの画像データを再構成する際に動き補償モリ（210）が、送信されたフレームの画像データを再構成する際に動き補償回路（212）に動きベクトル値を供給することを特徴とする請求項11記載の可変長デコーダ（104）。

【請求項13】 可変長コードテーブルを用いて、送信されたフレームの画像エリアを表す可変長符号化データからなる圧縮ビデオデータを復号化する可変長テーブルデコーダ（186）であつて、

可変長符号化データを記憶するメモリ（156A、156B、162）と、メモリに接続され、可変長符号化データにおけるユニークフレイクスバターンを識別するバターンマッチ回路（188）と、複数の可変長コードのそれぞれに関連する復号化値を有し、可変長コードにおけるユニークフレイクスバターンにそれぞれ関連する複数のサブテーブルデータからなる可変長コードテーブルデータと、サブテーブルデータ回路のそれぞれに接続して、サブテーブルデータ回路のそれをぞれに接続するデータバス（196）と、それに対して可変長符号化データを送るデータバス（198）と、ハターンマッチ回路（188）に応じて、可変長符号化データにおける識別されたフレイクスバターンとマッチする可変長コードにおけるユニークフレイクスバターンに関連するサブテーブルデータ回路から復号化値（198）を得ると共に、識別されたフレイクスバターン後の可変長符号化データににおける追加データとマッチするユニークフレイクスバターン後の可変長コードにおける追加データを得る制御回路（190、192）とを有する可変長テーブルデータ（186）。

【請求項14】 可変長コードのそれぞれが関連するコード長を有し、制御回路（190、192）は、バターンマッチ回路（188）に応じて、可変長符

化データにおける識別されたプレフィックスパターンとマッチする可変長コードにおけるユニークプレフィックスパターンに関連するサブテーブルデコードからコード長（202）を得ると共に、識別されたプレフィックスパターン後の可変長符号化データにおける追加データとマッチするユニークプレフィックスパターン後の可変長コードにおける追加データを得ることを特徴とする請求項13記載の可変長テーブルデコーダ（186）。

【請求項15】 メモリ（156A、156B）からの可変長符号化データの所定のビット数をハッシュマッチ回路に適用する、メモリ（156A、156B）に関連したシフタ回路（164）を有することを特徴とする請求項14記載の可変長テーブルデコーダ（186）。

【請求項16】 シフタ回路（164）は、メモリ（156A、156B）における可変長符号化データを選択的にシフトする複数のセレクタ回路を有することを特徴とする請求項15記載の可変長テーブルデコーダ（186）。

【請求項17】 複数のセレクタ回路は複数のセレクタステージに配附され、各セレクタステージが、2のべき乗でメモリ（156A、156B）における可変長符号化データをシフトする、あるいは、可変長符号化データのシフトを全く行わないことを特徴とする請求項16記載の可変長テーブルデコーダ（186）。

【請求項18】 セレクタステージのうちの少なくとも1つは、前のセレクタステージより少ないセレクタ回路を有することを特徴とする請求項17記載の可変長テーブルデコーダ（186）。

【請求項19】 各セレクタステージは、その前のセレクタステージよりもセレクタ回路を行することを特徴とする請求項17記載の可変長テーブルデコーダ（186）。

【請求項20】 シフタ回路（164）は、最後に得られたコード値に応じて、得られたコード値と等しい数のビット分だけメモリ（156A、156B）における可変長符号化データをシフトすることを特徴とする請求項16記載の可変長テーブルデコーダ（186）。

【請求項21】 可変長コードテーブルを用いて、送信されたフレームの画像

エリアを表す複数の可変長符号化データからなる圧縮ビデオデータストリームを復号化する方法であって、

複数の可変長コードのそれぞれに関連する復号化値を有する可変長コードテーブルを定義し、

可変長コードに関連する複数のユニークプレフィックスパターンを定義し、

各サブテーブルが可変長コードにおけるユニークプレフィックスパターンのうちのいずれかに関連すると共にユニークプレフィックスパターンに関連する少なくとも1つの復号化値とユニークプレフィックスパターン後の可変長コードにおける追加データとを有するように構成された複数のサブテーブルを定義し、

可変長符号化データにおいて、可変長コードに関連するユニークプレフィックス

パターンのうちの1つを識別し、

可変長符号化データにおけるユニークプレフィックスパターンに関連するサブテーブルから復号化値（198）を得ると共に、識別されたプレフィックスパターン後の可変長符号化データにおける追加データとマッチするユニークプレフィックスパターン後の可変長コードにおける追加データを得る

工程を有することを特徴とする方法。

【請求項22】 コード長を複数の可変長コードのそれぞれに関連させ、可変長符号化データにおける識別されたプレフィックスパターンとマッチするプレフィックスパターンを有する可変長コードに関連するコード長（202）と、識別されたプレフィックスパターン後の可変長符号化データにおける追加データとマッチするプレフィックスパターン後の追加データとを得る

工程をさらに有することを特徴とする請求項21記載の方法。

【請求項23】 可変長符号化データにおける可変長コードに関連するユニークプレフィックスパターンを識別し、

可変長符号化データにおいて追加データを複数のサブテーブルのそれぞれに同時に適用する工程を有し、

復号化値（198）は、可変長符号化データにおける識別されたプレフィックスパターンとマッチする可変長コードにおけるユニークプレフィックスパターンに関連するサブテーブルと、識別されたプレフィックスパターンの後の方変長符

号化データにおける追加データにマッチするユニーカープレフィックスパターンの後での可変長コードにおける追加データとから得られることを特徴とする請求項2
1記載の方法。

【発明の詳細な説明】

【0001】

相互参照

本願は、1998年5月18日に出願された係属中の仮特許出願60/085
、797の優先日を主張し、その開示内容を全体として参照することにより特に
本願に組み込むものとする。

【0002】

発明の分野

本発明はデジタル符号化されたビデオ信号の復号化に関し、特に、固定長の直
や可変長コードを用いて符号化されたビデオデータや制御情報を復号化するデコ
ーダに関する。

【0003】

発明の背景

近年、特に家庭用電子機器業界においてビデオ信号のデジタル送信が普及して
いる。このようなデジタルビデオ信号送信の使用や、例えばDVD (digital ve
rsatile disc) プレーヤやデジタルビデオ放送 (DVB) セットトップボックス
での送信の普及により、送信された画像シーケンスの画質や、既存のNTSCや
PALアナログ送信システムにおけるビデオ信号の記述、操作、表示をより効果
的に制御する性能が改善している。このような高性能化を促進するため、業界は
、国際標準化機構 (ISO) に規定されるMPEG (Moving Picture Experts Gr
oup) によって掲示されるデジタルビデオ圧縮のフォーマット、すなわち、ISO
-11172-2 (MPEG-1) 及びISO-13818-2 (MPEG-2
) という2つの規格で定義されたビデオビットストリームを符号化するためのシ
ンタックスを規定している。以下の説明では、これらの規格によるビデオ信号を
デジタル符号化するのに使用されるビットストリームシンタックスをより詳細に
説明するため、ISO-11172-2 (MPEG-1) 及びISO-1381

8-2 (MPEG-2) を参照する。これらの規格はいずれも全体として参照す
ることにより、特に本明細書に組み込むものとする。

【0004】

MPEG-1及びMPEG-2により定義されるビットストリームシンタック
スは、ビットストリームにおける一般的な3種類の情報又はデータ、すなわち、
ビットストリームを定義するのに必要な制御情報と、送信された画像シーケンス
を適切に圧縮解除し再生するのに必要な制御情報と、符号化されたビデオデータ
とに関するものである。ビットストリーム制御情報は、ピットストリームがバケ
ット化されたビデオ又はオーディオデータであること、あるいは、ビットストリ
ームが例えばMPEG-1又はMPEG-2のいずれかを用いて符号化されたビ
デオ信号であることを識別することもできる。画像制御情報には、例えばレー
ームの縦横のサイズ、すなわち、ライン毎の画素 (ペル) 数、フレーム毎のライン
数、フレーム又はフィールドレート、アスペクト比等が含まれる。以下により詳
細に説明するが、符号化されたビデオデータは、各フレーム又はフィールドの再
形成に必要な、DCT変換及び量化が施されたクロミナンス及び補度ペル直を
表す。

【0005】

MPEG-1及びMPEG-2はそれぞれ、空間的及び時間的冗長性を除去す
ることにより情報密度及び符号化効率を改善するように構成されたビットストリ
ームシンタックスを特定する。各MPEGビックチャは、 16×16 鮮度ペル (Y
)、又は、4つの 8×8 変換ブロックのペルの 2×2 の列からなる一連のマクロ
ブロックに分割される。各マクロブロックは、さらに 8×16 クロミナンスペル
(U, V)、又は、2つの 8×8 ブロックのペルの 1×2 の列からなる。符号化
プロセスでは、 8×8 ベルブロックの離散的コサイン変換 (DCT) 符号化の後
に、点化、ジグザグスキャン、ゼロであるラン (ランゲンス) 及び振幅レベ
ルの可変長符号化を行うことにより空間的冗長性が除去される。時間的冗長性を
除去するには動き補償予測を用いる。

【0006】

ビデオに関しては、MPEGではイントラ (I) フレーム、順方向予測 (P)

フレーム、及方向F測（B）フレームを考慮する。Iフレームは独立して符号化され、3つのフレームタイプのうち符号化効率が最も悪い。PフレームはIフレームより符号化効率が良く、その前に符号化されたI又はPフレームに関して符号化される。Bフレームは3つのフレームタイプのうち符号化効率が最も良く、前後のI又はPフレームの両方にに関して符号化される。MPEGシステムにおけるフレームの符号化の順序は、フレームのプレゼンテーション順と必ずしも同じではない。ビットストリームのヘッダにより、デコーダが動画のプレゼンテーションのためのフレームの時間及びシーケンスを適切に復号化するために使用する情報が得られる。

【0007】

デジタル送信されたビデオビットストリームを復号化するのに使用される一般的なビデオデコーダは、ビットストリームのページングを行つてMPEG可変コードドテーブル（VLC）を用いて低位化DCT係数及び動きベクトルを復号化するよう構成された可変長デコーダ（VLD）を制御するためのマイクロコントローラ又はシーケンサを備えている。各ブロックの低位化係数値をそのプロックの逆ジグザグを長す値のストリームに変換し、その値を逆量子化するには、逆変換プロセッサを用いる。逆量子化されたDCT係数は、逆DCT変換を行つてクロミナンス及び輝度ベル値を回復する逆離散的コサイン変換（IDCT）プロセッサに供給される。そして、これらの値は復号化された動きベクトルと共に動き補償（MC）プロセッサに供給され、動き補償プロセッサがMPEG圧縮解除を行つてI、P、Bフレームをフルビデオフレームに変換する。

【0008】

MPEGシンタックス漣塊のビットストリームのハーフィング及び復号化を行う一般的なVLD構造では、ビデオビットストリームの所定数の未復号化ビットが1以上のレジスタに記憶される。VLDは、これらのビットのうちの少數のビットをレジスタから抽出し、最も左のビットが常にVLDにより抽出された最初のビットに整合するようになっている。そして、VLDはMPEG VLCテーブルのうちの1つのルックアップを行い、可変長符号化データを復号化すると共にコード長を得る、抽出されたビットにおける可変長コードを復号化した後、VL

Dはレジスタ内のビットに対してマスク／シフト／OR（MASK／SHIFT／OR）処理を行い、レジスタ内の最も左の位置にある最初の未使用ビットの再整合を行う。VLCテーブルは、通常、約 $2^n \times m$ 個のメモリ位置を有する1以上のPAL又はROMに含まれている。ここで、「n」はVLCテーブルのそれぞれにおいて可能な最大可変コード長を表し、「m」はユニーク VLCテーブル数を表す。

【0009】

なお、VLD構造によつては、復号化プロセス後の未使用ビットの整合に必要なシフト／マスク／OR処理によりVLDの全体的な復号化速度が大幅に影響されることとは、当該分野の技術者にとっては明らかであろう。これらはそれぞれ1サイクル以上を必要とすることがあるため、各DCT係数シンボル（すなわち、ランレンジス及び振幅レベルの各対）を復号化して未使用ビットの再整合を行うのにVLDが多数のサイクルを必要とするので、VLDの復号化効率は大幅に低下してしまう。さらに、VLD構造によつては、各ユニーカ VLCテーブルの各可変長コードが別々のメモリ位置に記憶されるので、VLCテーブルがVLDのコストと複雑性を増加させてしまう。

【0010】

従つて、MPEG-1又はMPEG-2規格により符号化された可変長DCT係数及び動きベクトルを効率的に復号化するVLDが必要である。また、種々のMPEG可変長コードを復号化するのに必要なメモリ容量を最小限にするVLDが必要である。さらに、所定のインストラクションセットに従つてマイクロシーケンサからインストラクションを受信すると共にマスタコントローラからインストラクションを受信するVLDが必要である。

【0011】

発明の概要

本発明は、特にMPEG-1及びMPEG-2シンタックス漣塊のビデオビットストリームを復号化するのに適した可変長ビデオデコーダにより実現される。このビデオデコーダは、マクロブロックと個々のスライスからなるプロックレイヤとを復号化してDCT係数値と動きベクトルを生成する、1サイクル当たり單

イベントのスライスハーシングエンジンとして構成される。

【0012】

このビデオデコーダは、MPEG規格により可変長復号化プロセスを制御するVLDコマンド復号化／実行ユニットとのインターフェースを行うマイクロシンサを備える。復号化プロセスにおいて、マイクロシーケンサは、可変長復号化を行うVLDコマンド復号化／実行ユニットに対するコマンドの送出、又は、インストラクションROMに記憶されるインストラクションセットを通して得られるプログラムフローの制御のいずれかを行う。さらに、ビデオデコーダは、上位レイヤハーシングや復号化された画像シーケンスの再構成のための全体的な復号化プロセスの制御を司るRISC CPUからのコードインストラクションを受け取ることができる。

【0013】

符号化されたビデオデータはDRAMメモリに記憶され、チャネルバッファ FIFOを介してビデオデコーダに供給可能とされる。本発明によれば、これら符号化されたビデオデータビットのうちの所定数が、ローテータ／バレルシフタ及びポイントレジスタを使用して、ビデオデコーダと可変長テーブルデコーダに対して認識可能とされる。バレルシフタ及びポイントレジスタは、ポイントアドレス+31までのポイントアドレスからのビットをローテータ／バレルシフタデータとして、ビデオデコーダと可変長テーブルデコーダの両方にに対して認識可能とする。ビデオデコーダは、ローテータ／バレルシフタデータの可変長コードを復号化して、各スライス毎に必要なDCT係数と動きベクトルを得る。可変長コードが復号化された後、ローテータ／バレルシフタのポイントレジスタはインクリメントされ、次の復号化サイクルの準備を行う。

【0014】

また、本発明によれば、ビデオデコーダが各MPEG VLCテーブルにアクセスして必要な復号化された値を得ることを可能にするため、新規な方式が提供される。各MPEG VLCテーブルは、各テーブルにおいて識別されたユニークブロックスハターンにより定義される。なお、Fig. 1に示す機能ユニットは例であり、実際にはさらに機能ユニットを追加してもよい。機能ユニット102～112

【0015】

32ビットが、可変長テーブルデコーダにおけるパターンマッチロジック及びMUXコントロールに用いられ、ローテータ／バレルシフタデータのユニークブレイクスパートンを識別する。同時に、プレフィックスパートン後のビットが、各MPEG VLCテーブルのサブテーブルすべてに用いられる。可変長符号化されたデータが復号化された後、可変長テーブルデコーダは復号化された値と有効コードステータスピットを供給する。また、可変長テーブルデコーダは、ローテータ／バレルシフタのポイントレジスタにコード長信号を供給して、ポイントレジスタをコード長によりインクリメントする。

【0016】

さらに、本発明によれば、復号化されたDCT係数は圧縮されたランゲンスと振幅レベルの対として、ランレベルデコーダ／IFOに記憶される。ランレベルデコーダ／IFOは、ランゲンスと振幅レベルの対の圧縮解除を行って、逆変換ユニットで必要なDCT係数を得る。これにより、ハuffman符号化された可変長の対の復号化を、先に復号化されたランレベルの対のランレベル復号化と同時にを行うことが可能となる。動きベクトルは、動き補償ユニットで必要となるまでm v／dm v FIFOに記憶される。

【0017】

本発明の上述の及び他の特徴、目的、利点については、添付図面とその説明により明らかにされる。

【0018】

好ましい実施例の詳細な説明
図面を参照して、特にFig. 1を参照して、デジタル符号化されたビデオ信号のオーディオ／ビデオ復号化や圧縮解除されたビデオ画像のプレゼンテーションを行うための種々の機能モジュール101～112を備えた復号化システム100を示す。好ましくは、復号化システム100は、例えば、DVD(digital versatile disk)やデジタルビデオ放送(DVB)セットトップボックス(STB)等におけるデジタルオーディオ／ビデオ受信を目的とした特定用途向けIC(ASIC)として構成される。なお、Fig. 1に示す機能ユニットは例であり、実際にはさらに機能ユニットを追加してもよい。機能ユニット102～112

はそれぞれ、ダイナミックランダムアクセスメモリ (DRAM) である大型オーフチップメモリ114と種々の方法でインターラクションを行う。DRAM114へのアクセスはASIC100上のメモリコントローラ116により制御される。

【0018】

例として、ASIC100の機能ユニットのうちの幾つかについて説明する。これらの機能ユニットには、好ましくはデジタル符号化されたビデオ/オーディオ入力信号をライン118にて最大で7.2Mbpsのデータレートで受信するプログラマブル入力デジタルプレクサ102が含まれる。デジタル符号化されたビデオ/オーディオ信号は、ハケットデータの構造を識別するための所定のビットストリームシンタックスを有する「ハケット化エレメンタリストリーム」(PESストリーム) として一般に知られているパケット化データのシリアルビットストリームである。デマルチプレクサ102は、供給されるデジタル符号化された信号のハーベンジングを行って、ビデオ、オーディオ、その他のデータのパケットに分解し、メモリコントローラ116を用いてDRAM114内のバッファに入力信号を記憶する。以下により詳細に説明するが、本発明の原理によるビデオデータ104は、DRAM114内のバッファに記憶されたビデオデータと画像制御情報を検索し、(DRAM114に頻繁且つ繰り返しアクセスすることにより) そのビデオデータと制御情報を復号化し、その後、復号化されたビデオ情報を出力し、(DRAM114にバッファに記憶されたビデオデータと画像制御情報を検索し、(DRAM114に頻繁且つ繰り返しアクセスすることにより) そのビデオデータと制御情報を復号化し、その後、復号化されたビデオ情報を出力し、) した後、バッファ108に供給して、バッファ108を介してモニタに出力されるように機能する。出力エンコーダ108は、好ましくは、NTSCの場合、30fpsで720×480画素の画像サイズを供給し、PALの場合、25fpsで720×576画素を供給するNTSC/PALエンコーダである。オーディオデータ106は、DRAM114からオーディオ情報を検索し、そのオーディオ情報を出力するために復号化し、出力するためのオーディオ情報をバス112を介してスピーカに供給する。また、ASIC100は、ライン114を介してホストマイクロコントローラとのインターフェースを行い、ASIC100の動作の監視及び制御をホストコンピュータに行わせるホストインターフェース110を備えている。

【0019】

上述の機能ユニット以外にも、ビデオデコーダ104により復号化されるメインビデオに伴うサブタイトルやその他の情報を含むサブピクチャビデオ情報を復号化する、さらに1以上のビデオ復号化ユニットを備てもよい。さらに、Rバス126及びGバス128に接続されたOSD部により、ASIC100内で画面表示を生成してもよい。画面表示は、ホストCPUの動作、及び/又は、ASIC100が使用されている装置の再生又は受信状態に対するフィードバックをも与えるように、ホストCPUから受信したコマンドに応じて生成することができます。

【0020】

特定用途向けIC100の制御は、ASIC100上の他の各機能ユニットの動作の制御及び監視を行う縮小命令セット中央処理装置(RISC CPU)112により行われる。RISC CPU112は、インストラクションメモリ130に記憶されている16ビットのインストラクションに応じる。インストラクションメモリ130は、ASIC100の比較的簡単なプログラムに適した4096個の16ビットインストラクションを保持している。ASIC100により実行される複雑なプログラムからプログラムメモリ130に対して、4096個のインストラクションバッファからプログラムメモリ130に対して、4096個のインストラクションの「ページ」のソフトウェイ、ソフトウェアトを行えばよい。

【0021】

Fig. 1に示すように、RISC CPU112は、Rバス126及びGバス128として知られる2つのメインバスを介してASIC100内の各機能ユニットとインタラクションを行う。具体的には、各機能ユニットは、メモリコントローラ116に対して、そしてDRAM114に対してデータの検索及び供給を行うための64ビットGバス128に接続されている。さらに、Gバス128を介してある機能ユニットから他の機能ユニットに各プロックのデータを転送してもよい。

【0022】

種々のコマンドの他、メモリアクセス又は転送の要求が、Rバス126を介してある機能ユニットから他の機能ユニットに送られる。Rバス126は、メモリ

アクセスを頻繁に行う機能ユニットにより使用される1以上の32ビットバス、あるいは、幾つかの機能ユニットにより共有される单一の8ビット時間多重化バスにより構成されてもよい。Rバスコントローラ132は、要求している機能ユニットに対してビデオデコーダ104のステータスワードを供給させる。

【0023】

メモリアクセスが要求されると、要求した機能ユニット102～112は、Rバス126を介してメモリコントローラ116に仮想アドレスを供給する。メモリアクセス要求は、单一のメモリ位置の供給を要求するものであってもよく、また、要求に応じてアクセスされる多数のメモリ位置の識別を含むものであつてもよい。メモリコントローラ116は、要求に応じてDRAM114における識別位置へのアクセスを管理することにより要求に応答する。多数のメモリアクセス要求が未処理である場合、メモリコントローラ116は、その未処理の要求を調整して、要求の優先順位が最も高い機能ユニットに対してアクセスを許可する。

要求に応じてのメモリコントローラ116の動作の詳細については、1997年4月30日出願の米国特許出願第08/846,590号(U.S. Patent application Serial No. 08/846,590)「デジタルビデオのためのメモリアドレス生成(Memory Address Generation for Digital Video)」に記載されており、本願ではこれを全体として参照することにより組み込むものとする。さらに、RISC CPU112の動作とその縮小命令セットの詳細については、1997年5月30日出願の米国特許出願第08/865,749号(U.S. Patent application Serial No. 08/865,749)「デジタルオーディオ復号専用処理装置(SPECIAL PURPOSE PROCESSOR FOR DIGITAL AUDIO VIDEO DECODING)」に記載されており、本願では、これを全体として参照することにより組み込むものとする。

【0024】

さらに、Rバス126を介して、種々の機能ユニットの状態に関するデータが使用可能である。機能ユニットは、Rバス126を介して識別された特定アドレスにてアクセスすることができるステータス情報を供給する。従って、例えば、ビデオデコーダ104からステータスワードにアクセスするには、DEC_VALUEを制御するための十分な情報を圧縮ビットストリームから得る。

ドレスを識別するアクセス要求をRバスコントローラ132に供給する。これに応じて、Rバスコントローラ132は、要求している機能ユニットに対してビデオデコーダ104のステータスワードを供給させる。

【0025】

機能ブロックにはRバス126を介してコマンドも送られる。ある機能ブロックにコマンドを供給するには、Rバスを介してその機能ユニットの特定アドレスにコマンドを送る。従つて、例えば、ビデオデコーダ104にコマンドを供給するには、VLD_CMDアドレスを識別するアクセス要求をRバスコントローラ132に供給する。これに応じて、Rバスコントローラ132は、要求している機能ユニットがRバス126にコマンドを供給することを可能にすると共に、ビデオデコーダ104のコマンドバッファ内にコマンドを受信させる。

【0026】

ビデオデコーダ104は本発明の主要部であり、その動作や特徴についてはFIG.2～6Gに明確に示す。本発明の原理によれば、ビデオデコーダ104は、特にMPEG-1及びMP@ML(Main Profile @ Main Level) MPEG-2シングルスル抛のデジタル符号化されたビデオ信号のビデオ信号化を行うようには構成されている。本願において全体として参照することにより組み込まれたISO/IEC13182-2:1995(E)に記載されているように、MPEG-2シンタックスは、特に、シーケンスレイヤ、グループオブピクチャレイヤ、ピクチャレイヤ、スライスレイヤ、マクロプロックレイヤ、プロックレイヤという6レイヤの画像シンタックスを表すビデオデータ及び制御情報の圧縮ビットストリームを定義する。符号化されたビットストリームにおける各レイヤには、そのレイヤを識別すると共に、ビデオデコーダ104によりハーシング及び復号化を行う必要がある固定長データ値又は可変長ハフマン符号化データのいずれかあるいは両方を与えるユニクスタートコードが含まれる。スライスレイヤより上の画像制御情報の上位レイヤハーシングは、RISC CPU112により行われる。このようにして、RISC CPU112は、ビデオビットストリームにおいて送はされた画像シンケンスの圧縮解除、再構成、プレゼンテーションを

【0027】

次に、Fig. 2 及び2Aを参照して、ビデオデコーダ104のブロック図を詳細に示す。以下に詳細に説明するが、ビデオデコーダ104の主な機能は、個々のスライスのマクロブロック及びブロックレイヤを復号化するための、1サイクル当たり1順序シンボルのスライスパージングエンジンである。スライスエンドに達すると、RISC CPU112に割り込みが送られて、種々のメモリチエックを行うと共に次のスライスの処理を命令する。ビデオデコーダ104は主として、ライン138を介してVLDコマンド復号化／実行ユニット136とのインターフェースを行なマイクロシーケンサ134を通して制御される。マイクロシーケンサ134は、 2.56×16 インストラクションROM140とインストラクション復号化／制御ユニット142を備えている(Fig. 2A参照)。

各スライス毎のマクロブロック及びブロックレイヤの復号化プロセスにおいて、マイクロシーケンサ134は、VLDコマンド復号化／実行ユニット136にコマンドを送つて可変長復号化を行うか、あるいは、インストラクションセットにより与えられるプログラムフローを制御するようプログラムされている。さらに、VLDコマンド復号化／実行ユニット136は、Rバスインターフェース144、ライン146、マルチプレクサ148を介してRISC CPU112からライнстラクションを直接受信してもよい。以下に詳細に説明するが、RISCCPU112、マイクロシーケンサ134、VLDコマンド復号化／実行ユニット136は、VLD構造データバスの一部を構成する一連のVLDコマンドインストラクションレジスタ(VCLレジスタ)150のコンテンツの読み出し及び書き込みを行うことができる。

【0028】

上述のように、符号化されたビデオデータは、まずDRAM114に記憶される。符号化されたビデオデータは、Gバス128を介してビデオデコーダ104からメモリコントローラ116までの各ユニットに使用可能とされる。ビデオコーダ104は、 1.6×64 チャネルバッファFIFO152としてのGバスを備え、このバッファFIFO152は、復号化プロセス中にそれがバッファFIFO152が空になつたりしないように十分な量の符号化されたビデオ

ビットストリームを記憶する。

【0029】

ビデオデコーダ104の主な機能の一つとして、ビデオビットストリームにおける可変長符号化されたデータを復号化することが挙げられる。可変長データは、MPEG-1及びMPEG-2規格で定義されるVLCテーブルに従つてハフマン符号化される。本発明のVLDはMPEG VLCテーブルのうちの少なくとも11個のテーブルをサポートする。すなわち、macroblock_type_I、macroblock_type_P、macroblock_type_B、macroblock_type_D、macroblock_address_increment、dct_dc_size_luma、dct_dc_size_chrominance、ac_table(テーブル0及びテーブル1)、coded_block_pattern、motion_code、dmvectorである。

【0030】

Fig. 2に明確に示すように、チャネルバッファ FIFO152は、チャネルバッファ FIFO152から各64ビットバスを介して一对のA、Bレジスタ156A、156Bのそれぞれに64ビットのビデオデータを供給する。本発明によれば、ポイントアドレス+31までのポイントアドレスからのビットをVLDコマンド復号化／実行ユニット136に対して認識可能にするため、ロデータ／バレルシフタ158とポイントレジスタ160が設けられている。これら32ビットは、ロデータ／バレルシフタデータ162としてVLDコマンド復号化／実行ユニット136に供給される。

【0031】

Fig. 2及び3を参照して、A、Bレジスタ156A、156Bは、128ビットリンクに接続され、Aレジスタのビット63からBレジスタのビット64へのポイントアの境界切り替えと、Bレジスタのビット127からAレジスタのビット0への境界切り替えを可能にする。ポイントアがAレジスタからBレジスタへ切り替わるととき、Aレジスタのコントローラによりリフレッシュされる。同様に、ポイントアがBレジスタからAレジスタへ切り替わるととき、Bレジスタのコントローラによりリフレッシュされる。リンクを回るポイントアの動きを可能にすると共に128ビットのそれをポイントに対してアクセス可能にするため、Fig. 3に示すバレルシフタ164は、2のべき乗分だ

けデータの左方向への種々のインクリメント的シフトを行うか、全くシフトを行わない7つのセレクタステージを有している。第1ステージ166は、「ステージ6「4／0」と称するもので、128ビットのそれぞれを左方向に64ビットシフトさせるか、全くシフトさせない128個のセレクタ(D₀～D₁₂₇)」を有している。第2ステージ168は、「ステージ32／0」と称するもので、左方向へ32ビット分のシフトを行うか、全くシフトを行わない95個のセレクタを行っている。第3ステージ170は、「ステージ16／0」と称するもので、左方向へ16ビット分のシフトを行うか、全くシフトを行わない63個のセレクタを行っている。第4ステージ172は、「ステージ8／0」と称するもので、左方向へ8ビット分のシフトを行うか、全くシフトを行わない47個のセレクタを行っている。第5ステージ174は、「ステージ4／0」と称するもので、左方向へ4ビット分のシフトを行うか、全くシフトを行わない39個のセレクタを有している。第6ステージ176は、「ステージ2／0」と称するもので、左方向へ2ビット分のシントを行いうか、全くシフトを行わない35個のセレクタを有している。第7ステージ178は、「ステージ1／0」と称するもので、左方向へ1ビット分のシントを行いうか、全くシフトを行わない33個のセレクタを有している。

【0032】

パレルシフタ164の構造により、A、Bレジスタ156A、156Bの1128ビットのうちいずれか32ビットをローテータ／パレルシフタデータ162としてVLDコマンド復号化／実行ユニット136が11個のMPEG VLCテーブルを用いてVLDコマンド復号化／実行ユニット136に対しても使用可能となります。各ステージ166～178では、左方向へのシフトを矢印180で示し、シントなしを矢印182で示している。パレルシフタ164に関して用いているように、「セレクタ」という用語が、先に詳細に説明した左シフト又はシフトなしの動作を行いかなる回路をも意味することは、当該分野の技術者にとっては理解できるであろう。本発明によるパレルシフタ164の動作では、Fig.3に仮想的な三角形182に示すように、種々のセレクタをステージ168～178の幾つかから除くことができる。パレルシフタ164を対称的な長方形ではなく方形に切ることにより、不要なセレクタを除去して、コストとハードウェアの

節約ができることがわかる。

【0033】

Fig.2及び5に明確に示すように、ローテータ／パレルシフタデータ162の32ビットは、MPEG規格の可変長コード(VLC)テーブルを組み込んだ可変長テーブルデコーダ184に対しても使用可能とされる。本発明によれば、VLDコマンド復号化／実行ユニット136が11個のMPEG VLCテーブルのそれぞれにアクセスすることを可能にする新規な方式が提供される。Fig.4の“macroblock_address_increment”についてのVLCテーブルを例として、可変コードにおける最初の「1」に至る「0」の数を定めるプレフィックスパートと、すべてのユニークプレフィックスパターンからなるセットを発生させるのに必要なエキストラロジックが各MPEG VLCテーブルにおいて識別されている。

【0034】

例えば、Fig.4の“macroblock_address_increment”テーブルでは、各可変長コードが、K₀、K₁、K₂、K₃、K₄、K₅、K₆と定義されたプレフィックスパターンを有している。K₀(は、最初の「1」の前に「0」がないことを示し、K₁は、最初の「1」の前に「0」が1つあることを示し、以下、K₂、K₃、K₄についても同様である。可変長コードの幾つかについては、すべてのユニークプレフィックスパターンのセットを発生させるのに、K₁₀、K₁₁、K₁₂、K₁₃、K₁₄、K₁₅のように「1」の前に「0」が続いているハターンの後にエキストラロジックが必要である。このように、各サブテーブルがユニークプレフィックスパターンのいずれかに対応するように、サブテーブルのセットをMPEG VLCテーブルのそれぞれにおいてプレフィックスパターンにより定義してもよい。さらに、各可変長コードは、可変長コードにおけるビット数を定めるコード長を有している。インクリメント値は、ビクチャの左端に対する、あるスライスにおける最初のマクロブロックの水平位置、あるいは、最後に送信されたマクロブロックからの差分インクリメント値を定義する“macroblock_address_increment”的各可変長コードに関する。この例から、当該分野

の技術者にとっては、他のMPEG VLCテーブルについてのプレフィックスパートナーとエキストラロジックがどのように定義されるかが容易にわかるであろう。

【0035】

次にFig. 5に示す可変長テーブルデコーダ186を参照して、可変長復号化プロセスにおいて、ロデータ／バレルシフタデータ162の32ビットがパターンマッチロジック及びMUXコントロール188に送られ、ロデータ／バレルシフタデータ162におけるユニークプレフィックスパターンを識別する。識別されたプレフィックスパターン、例えばK₀、K₁等は、11個のMPEG VLCテーブルのそれぞれにおける各MUX192の出力を制御するための信号【MUX_CNTL】190として使用される。従って、パターンマッチロジック及びMUXコントロール188により決定されたプレフィックスパターンマッチは、Fig. 5に示すような“macroblock_address_increment”や“motion_code”的VLCテーブルを含む11個のMPEG VLCテーブルのすべての間で共用され、それぞれのMUX192の出力を制御する。

【0036】

以下に詳細に説明するが、ある時点での復号化されるVLCテーブルは、VLDコマンド復号化／実行ユニット136により与えられる「VLCテーブル選択」信号194により決定される。各MUX192に送られるMUX_CNTL信号190を定義するためにプレフィックスパターンマッチロジック及びMUXコントロール188により識別するのと同時に、バス196で示すように、ロデータ／バレルシフタデータ162の32ビットにおける先頭のハターンマッチ後のビットが、11個のMPEG VLCテーブルのそれぞれにおけるサンテーブルのトペーに同時に送られる。従って、“macroblock_address_increment”的VLCテーブルが「VLCテーブル選択」信号194により選択され、プレフィックスパターンマッチがK₀であり、バス196を介してサンテーブルK₀に「1」が適用された場合、MUX192は、(インクリメント値を示す)復号値14と、(可変長コードにおけるビット数を示す)コード長8と、(コードの有効性を示す)有効ステータスビットをVLDコマンド復号化／実行ユ

ニット136に出力する。従って、復号化プロセスの終了後、可変長テーブルデコーダ186は、復号化値198と有効コードステータスビット200からなる2つの信号をVLDコマンド復号化／実行ユニット136に供給する。また、可変長テーブルデコーダ186は、ライン204を介してポイントタレジスタ160にコード長信号202を供給して、コード長によりポイントタレジスタをインクリメントする。可変長テーブルデコーダ186は、RAM又はROMであってもよいが、好ましくは配線による最適化ランダムロジックである。

【0037】

次にFig. 2及び3を参照し、可変長テーブルデコーダ186からのコード長信号202を使用して、ポイントタレジスタ160をインクリメントする。コード長信号202は、バレルシフタ164によりバレルシフタにおける必要なシフトパターンを制御するのにも使用される。例えば、コード長信号202の値が13である場合、バレルシフタ164のステージ172(8ノット)、174(4ノット)、178(1ノット)が左方向に13ビットのシフトを生じることが可能となり、他のステージはシフトがない。バレルシフタ164によりシフト処理がおこなれた後、VLDコマンド復号化／実行ユニット136と可変長テーブルデコーダ186に対して新たなセットのロデータ／バレルシフタデータ162が認識可能となる。本発明の可変長テーブルデコーダ186とバレルシフタ164は、MPEG可変長コードの効率的な復号化を行うと共にVLCテーブルのメモリ要件を低減する。

【0038】

MPEG規格によれば、可変長符号化されたDCT係数は、Fig. 2に示すボルク_r、1ととして示すようにランゲングストと振幅レベルの対として復号化される。値「r」は、「1」により示される振幅レベルを有する係数の前のゼロ個係数の数を表す。例えば、シンボル<5、2>は、係数値2の前にゼロが5つであることを示す。また、本発明によれば、ランゲングストと振幅レベルの対が可変長テーブルデコーダ186により復号化されると、ランゲングストと振幅レベルの対のシンボルは、VLDコマンド復号化／実行ユニット136から64×18ランレベルデコーダ／FIFO206に送られ、64×18ランレベルデコーダ／

FIFO 206では、逆ジグザグ／逆伝子化／逆DCT変換ユニット208で必要となるまで、それらの対のシンボルを圧縮した対として記憶する。なお、圧縮シンボルの数はDCT係数の数よりも少ないので、ランレベルデコーダ／FIFO 206は、先に復号化されたランレベルの対のランレベル復号化と同時に、ハフマン符号化された可変長対の復号化を行うことができる。

【0039】

また、Fig. 2に示すように、復号化された動きベクトル「mv」と差分動きベクトル「dmv」がVLDコマンド復号化／実行ユニット136から16×13mv/dmv FIFO 210に送られ、16×13mv/dmv FIFO 210は、動き補償ユニット212で必要となるまでそれらを記憶する。本願では、1997年12月30日出願の米国特許出第願09/001122号(U.S. Patent Application Serial No. 09/001,122)「動き補償されたデジタルビデオ復号及びこのためのバッファメモリアドレッシング(MOTION COMPENSATED DIGIT AL VIDEO DECODING AND BUFFER MEMORY ADDRESSING THEREFOR)」を全体として参照することにより組み込むが、これに詳細に記載されるように、復号化されたビデオデータ値と動きベクトルは、動き補償ユニット212により組み合わせられて表示用の完全なI、P、Bフレームを形成する。VLDコマンド復号化／実行ユニット136は、好みは動きベクトル、差分動きベクトル、マクロブロックインクリメントアドレス、dc係数、ac係数の計算のためのスタートマシンを行っている。

【0040】

Fig. 2Aが、マイクロシーケンサ134とVLDコマンド復号化／実行ユニット136との間の全般的なプログラムフローコントロールを示すのに対して、Fig. 6A～6Gは、ビデオデコーダ104のマイクロシーケンサ134によりサポートされるインストラクションセットを示す。特に、マイクロシーケンサのインストラクションセットは8つのインストラクション214a～214gからなり、それぞれ3ビットのopコード216を有し、インストラクション214bは2つの異なるインストラクションを表す。Fig. 6A～6Gに示すインストラクションのうち、インストラクション214bのインストラクション1C

MID及びCMD1のみが実行コマンドである。他の6つのインストラクション214a及び214c～214gはすべて、以下に詳細に説明するが、フローワントロールインストラクションである。インストラクション214a～214gのほとんどは、VCIレジスタ150において求めたデータからオフで動作する。

【0041】

以下に示す表は、種々のVCIレジスタ150の記述を行うものである。表1はVCIコントロールレジスタの記述を定義する。表2はマクロブロック及びブロックレイヤレジスタの記述を定義する。表3は上位レイヤ復号化のためのピクチャレイヤレジスタの記述を定義する。表3のレジスタはRISC CPU112により書かれている。表4はコントロール及びステータスレジスタの記述を定義し、表5はプレディクタ及びステートマシンレジスタの記述を定義する。

【0042】

表1：VCIコントロールレジスタの定義

名称	フィールド	タイプ	記述
vci_addr	[5:0]	r/w	VCI間接レジスタアドレス
vci_data	[15:0]	r/w	VCI間接レジスタアドレス

【0043】

VCIコントロールレジスタは、以下の表2～5において定義されるVCI間接レジスタにアクセスするのに使用される。RISC CPU112は、特定アドレスのVCI間接レジスタのコンテンツの読み出し及び書き込みを行うようにVCI_addressレジスタをセットアップする。この読み出し及び書き込み動作はVCI_dataレジスタにより行われる。

【0044】

名称	アドレス	幅	Dir	記述
vci_mba_x	0×00	7	r/w	マクロブロックアドレスx次元
vci_mba_y	0×01	7	r/w	マクロブロックアドレスy次元
vci_vld_out	0×02	16	r/w	VLDの返出力
vci_q_scale	0×03	5	r/w	量化スケール情報

特異 2002-51650

卷之二十一

YCI chn 0X04 8 r / w 管理化プロセスバターン

100451

指2：スクロールバーのVOL開閉用のキー（縦走）

名称	アドレス	幅	Dir	記述
vci_mttype	0x05	5	r/w	マクロプロックタイプ
vci_mtotype	0x06	3	r/w	衝突化されたときのタイプ

```
[0] mv_count  
0 : ベクトル、1 : 2ベクトル  
[1] mv_format  
0 : フィールド、1 : フレーム  
[2] dmv
```

vci_dct_type	0x07	1	r/w	dctタイプ
vci_myfs1	0x08	1	r/w	0:フレーム、1:フィールド
reserved	0x09	1		動きき垂直フィールド選択1
vci_temp_0	0x0a~		r/w	リザーブ

100461

図3：ビクチがレバウイキのWCI間接インジケータの実装

名 称	γ ドレク シュ	幅	Dir	記述
vci(pic_init)	0 × 10	26	r/w	[25 : 24] : DC 精度 → 00 : 8ビット、01 : 9ビット 、10 : 10ビット、 11 : 11ビット

- [2 3 : 2 0] : 後方垂直 f コード
- [1 9 : 1 6] : 後方水平 f コード
- [1 5 : 1 2] : 前方垂直 f コード
- [1 1 : 8] : 前方水平 f コード
- [7] : コンシールメント動きベクトル

vci.cnt] 0×20 2 r/w vci.vci – レジストリオブジェクト

1

[11 : 8] : 前方水平 f コード
 [7] : ユンシールメント動きベクトル

vci_conceal	$0 \times 1 \ 2$	$3 \ / \ w$	エンシールメントカウント レジストリ
vci_temp_1	$0 \times 1 \ 3 \sim$	$r \ / \ w$	リザーブ

0

表4：ヨントヨー化及びデータストリーム | 開発にジスタの定義

名称	アドレス	幅	Dir	記述
vci_cnt1	0x20	2	r/w	vciステートヨントロールレジス

1

[31 : 30] = 00 : ラン
[31 : 30] = 10 : ホールト

(75) #表2002-516501

vci_pc	0×21 8	r/w	vci_mv_predfh1	0×34 13	r/w mvfs、動きベクトルプレディクタ
vci_rrom	0×22 16	r/w	vci_mv_predfv1	0×35 13	前方水平ーセカンド
vci_dmvfifo_addr	0×23 3	r/w	vci_mv_predbh1	0×36 13	前方垂直ーセカンド
		レズ	vci_mv_predby1	0×37 13	後方水平ーセカンド
vci_dmvfifo	0×24 2	r/w	vci_mv_predv1	0×38 10	後方垂直ーセカンド
vci_pointer	0×25 7	r/w	vci_err_bits	0×39	エラー条件
vci_dec_lped	0×26 12	r/w			

vci_dec_lpedの読み出し／書き込みアドレス
vci_mv_predfh1～vci_mv_predby1は、DEC_modeレジスタにおけるDC精度ビットにより示される定数値へリセットする。
vci_mv_predfv1～vci_mv_predbh1は、DEC_modeレジスタにおけるDC精度ビットにより示される定数値へリセットする。

vci_dec_cpred	0×27	r/w	vci_mv_predv1	0×28	r mvfs、動きベクトルプレディクタ
[23:12]	V		[11:10]	U	前方水平ーアースト
vci_temp_2	0×29	リザーブ			前方垂直ーアースト
	0×2f				後方垂直ーアースト

【0048】

表5：プレディクタ及びステートマシンのVCI間接レジスタの定義

名 称	アドレス	幅	D i r	記述
vci_stm	0×39	4	r	ステートマシン：
vci_mv_predfh0	0×30 13	r/w	mvfs、動きベクトルプレディクタ	
vci_mv_predfv0	0×31 13	r/w	前方水平ーアースト	
vci_mv_predbh0	0×32 13	r/w	前方垂直ーアースト	
vci_mv_predby0	0×33 13	r/w	後方垂直ーアースト	
vci_tmp_3	0×3a ~			

(76)

vci_mv_predfh1	0×34 13	r/w mvfs、動きベクトルプレディクタ
vci_mv_predfv1	0×35 13	前方水平ーセカンド
vci_mv_predbh1	0×36 13	前方垂直ーセカンド
vci_mv_predby1	0×37 13	後方水平ーセカンド
vci_err_bits	0×38	エラー条件

表5：プレディクタ及びステートマシンのVCI間接レジスタの定義（続き）

vci_stm	0×39	4	r	ステートマシン：
vci_mv_predv1	0×3a	1	r	mvfs、動きベクトルプレディクタ
vci_mv_cstate	dc	1	r	dc STM
vci_sc_cstate	start-code	1	r	sc STM
vci_ms_cstate	MB	1	r	ms STM
vci_lc_cstate	block	1	r	lc STM
vci_tmp_3	0×3a ~			

vc1_pc 0×21 8 r/w vci_mv_predfh1 0×34 13 r/w mvfs、動きベクトルプレディクタ

vc1_rrom 0×22 16 r/w vci_mv_predfv1 0×35 13 前方水平ーセカンド

vc1_dmvfifo_addr 0×23 3 r/w vci_mv_predbh1 0×36 13 前方垂直ーセカンド

vc1_dmvfifo 0×24 2 r/w vci_mv_predby1 0×37 13 後方水平ーセカンド

vc1_pointer 0×25 7 r/w vci_err_bits 0×38 10 エラー条件

vci_dec_lped 0×26 12 r/w [9] motype_err

vci_dec_cpred 0×27 r/w [8] coef_err

vci_mv_predv1 0×3a 1 r [7] rl_error

vci_mv_cstate dc 1 r [6] cbp_err

vci_sc_cstate start-code 1 r [5] mv_err

vci_ms_cstate MB 1 r [4] mbi_err

vci_lc_cstate block 1 r [3] mtype_err

vci_tmp_3 0×3a ~ [2] get_ac_err

vci_mv_predv1 0×3a 1 r [1] dtdcsz_chroma_err

vci_mv_predv1 0×3a 1 r [0] dtdcsz_luma_err

0 × 3 f
【0050】

表6は、Rバスインターフェース144を備えたVLDレジスタを定義する。

【0051】

表6：rバスインターフェースを備えたVLDレジスタ

名称 D i r ビットフィールド 記述

dec_value1	r/w	[15 : 0]	DECODE_BLOCKコマンドを除くすべてのコマンドについての復号化値を保持する。DECODE_BLOCKコマンドはこのフィールドの復号化DC係数を戻す。
dec_value2	r/w	[15 : 0]	この値は現在のラン及びレベルを保持する。

mvfifo_data r/w [12 : 0]

mvfifo_addr r/w [4 : 0]

mvfifo_data r/w [12 : 0]

mvfifo_addr r/w [4 : 0]

mvfifo_data r/w [12 : 0]

mvfifo_addr r/w [4 : 0]

mvfifo_data r/w [12 : 0]

mvfifo_addr r/w [4 : 0]

mvfifo_data r/w [12 : 0]

mvfifo_addr r/w [4 : 0]

mvfifo_data r/w [12 : 0]

mvfifo_addr r/w [4 : 0]

mvfifo_data r/w [12 : 0]

mvfifo_addr r/w [4 : 0]

mvfifo_data r/w [12 : 0]

mvfifo_addr r/w [4 : 0]

mvfifo_data r/w [12 : 0]

mvfifo_addr r/w [4 : 0]

mvfifo_data r/w [12 : 0]

mvfifo_addr r/w [4 : 0]

【0053】

[23:20]f_code[1][0](B,H)	[19:16]f_code[1][1](B,V)	[15:14]intra_dc_prec	[13:12]pic_structure
[11]topfld_first	[10]frame_prediction_frame_dct	[9]concealment_motion_vectors	[8]q_scale_type
[7]intra_vlc_format	[6]alternate_scan	[5]repeat_first_field	[4]chroma_420
[3]progressive_frame	[2:0]pic_type	[rl_fifo読み出し／書き込みアドレス]ビット6-0：読み出し、1：書き込み	[rl_fifoデータポート]ステータスビット
[17:12]復号化ランレンジングス	[11:0]復号化レベル	[17:0]mv fifo読み出し／書き込みアドレス	[10]vld_busy
[4:0]mvfifo_data	[4:0]mvfifo_addr	[10]vld_mv_fifo_empty	[9]vld_cfifo_empty
[4:0]mvfifo_data	[4:0]mvfifo_addr	[7:4]chfifo_wr_addr	[3:0]chfifo_rd_addr
[4:0]mvfifo_data	[4:0]mvfifo_addr		cpuからの実行されるvldコマンドエラー。ビットストリームが検出された場合にセット。ステイックーピット。

表6:rバスインターフェースを備えたVLDレジスタ(続き)

名称	Dir	比特フィールド	記述
[14]		chan_fifo_empty	チャネル FIFO 空き
[13:10]		chan_fifo_wrprt	チャネル FIFO ライトポインタ
[9:6]		chan_fifo_rdptr	チャネル FIFO リードポインタ
[5:0]		bitcnt	デコーダビットストリームリードポインタ。デコーダにより次に読み出されるビットの数。
vld_cmd r/w	[7:0]		cpuからのvldコマンド→このアドレスがrバスインターフェースから書き込まれるとvldコマンドが実行される。

【0054】

表7は、Gバスインターフェースを備えたVLDコントロールレジスタを定義する。

【0055】

表7:gバスインターフェースを備えたVLDレジスタ
名稱 Dir ビットフィールド 記述
word_fifo r/w [63:0] デコーダ FIFOデータポート

【0056】

次にFIG.6A～6Gのマイクロシーケンサインストラクション214a～214gについて、TBIT(テストビット)インストラクション214aは、VCLレジスタ220における("bitnum"218により与えられる)ビットのテストを行い、4ビット前方相対アドレス222の値と等しい場合に分岐する。COMP(比較)インストラクション214cは、("msb"224のステータスにより決定される)vcl_vld_outレジスタの8msb又は8lsbのデータコンテ

ンツを即時データ226と比較し、その結果をフラグレジスタ228に保存する。*"st_code"230=1である場合、vcl_vld_outレジスタのコンテンツはスタートコードバターンと比較され、それらがマッチしてスタートコードが求められたことを示す場合に、フラグレジスタ228が設定される。BRANCHインストラクション214dは、8ビットの分岐目標アドレス232に対する絶対分岐を行う。"err"ビット234はvciエラーを示し、"halt"ビット236はvcicontrolレジスタをホールトステートに変更することを示す。SETF(フラグ設定)インストラクション214eは、即時データ238に応じた値によりフラグレジスタの8lsbを設定する。INC(MINクリメントマクロプロック)インストラクション214fは、VCLレジスタ240の下位バイトを即時データ242と比較し、等しくなければストールする。フローコントロールインストラクションの最後には、HALTインストラクション214gがビデオデコーダ104のホールトを行い、vld_busy信号を取り下げる。*

【0057】

I CMD及びCMDII(コマンド発生)インストラクション214bは、22のコマンドのうちのいずれかをビデオデコーダ104に送り、出力をVCIレジスタ244に記憶する。ICMDインストラクションにより、マイクロシーケンサ134はビデオデコーダ104にコマンドを送り、待機する。CMDIインストラクションは、マイクロシーケンサ134によりビデオデコーダ104へコマンドを送り、マイクロコードをランし続ける。

【0058】

ビデオデコーダ104に送られる種々のコマンドを表8に示す。

【0059】

表8:VLDコマンド
OPコード シンボル 記述
0000 0001 <vld_escape> マクロロックエスケープ
0000 0010 <vld_peek> ピーク単にアップデータTCCを実行しない
0000 0011 <vld_startcode> ファーストスタートコード

0000 0100	<code><vlid_mbi></code>	マクロブロックアドレスインクリメント
0000 0101	<code><vlid_chp></code>	符号化ブロックパターン
0000 0110	<code><vlid_intra_luma></code>	イントラ輝度ブロックをラン
0000 0111	<code><vlid_intra_chromau></code>	イントラクロマUブロックをラン
0000 1000	<code><vlid_intra>chromav></code>	イントラクロマVブロックをラン
0000 1001	<code><vlid_non_intra></code>	非イントラブロックをラン
0000 1010*	<code><vlid_mbs></code>	マクロブロックスタート信号を発生
0000 1100*	<code><vlid_dpcm></code>	輝度及びクロマプロレディクタをリセット
0000 1101*	<code><vlid_mv_pred></code>	動きベクトルプロレディクタをリセット
0001 0000	<code><vlid_dmv></code>	デュアルプライム動きベクトルを得る
0001 0100	<code><vlid_non_coded></code>	非符号化ブロックをラン
0001 0101	<code><vlid_field_motype></code>	復号化フィールド動きタイプ
0001 0110	<code><vlid_frame_motype></code>	復号化フレーム動きタイプ
0001 1000	<code><vlid_mttypei></code>	Iピクチャのマクロブロックタイプを得る
0001 1001	<code><vlid_mttyped></code>	Pピクチャのマクロブロックタイプを得る
0001 1010	<code><vlid_mttypeb></code>	Bピクチャのマクロブロックタイプを得る
0001 1011	<code><vlid_mttyped></code>	Dピクチャのマクロブロックタイプを得る
0010 xxxx	<code><vlid_get<bitlxx></code>	次の1～16ビット(0=>16)を得る
0011 0xyz	<code><vlid_mvxyz></code>	動きベクトルを得る：x—前方、y—水平、z—ファースト

* : cmd i インストラクションから送る必要がある。

【0060】

図8のVLIDコマンドは、多種多様の符号化に共通な自立的動作である。VLIDインストラクションは、一般的に、MPEG VLCテーブルからの値を得るた

めの可変長テーブル復号化コマンド、符号化ビオデータからのパラメータ化されたビット数を受信するためのインストラクション、又はブロック動作として分類される。

【0061】

例えば、`<vlid_get_bitlxx>`コマンドは、ロデータ／バレルシフタ158から特定数のビットを取り出し、取り出したビット数によりポインタレジスタ160を、インクリメントする。`<vlid_dmv>`コマンドは、ビオデータビットストリームから3つのパラメータを用いてMPEG VLCテーブルのうちのいざれかから動きベクトル値を取り出す。具体的には、各動きベクトルは前の動きベクトルと予測の組み合わせとして記憶される。予測はそれ自体、(可変長符号化された)商と(固定長符号)余りとして符号化される。`<vlid_dmv>`コマンドは、MPEG VLCテーブルを介して商を復号化し、余りの位置と商の値を求めるのに使用される。余りは`<vlid_get_bitlxx>`コマンドを用いて得られる。そして、商と余りが組み合わせられて、動きベクトル成分を生成する。`<vlid_peak>`コマンドは、取り出したビット数によりポインタレジスタ160をインクリメントすることなしに、ロデータ／バレルシフタ158からの特定数のビットを認識可能にする。

【0062】

本発明を種々の実施例を用いて説明し、これらの実施例については非常に詳細に説明したが、当該分野の技術者にとってはさらなる利点及び変更が容易に明らかとなるであろう。従つて、本発明は広義において、特定の詳細事項、代表的な装置や方法、説明及び図示した具体例に限定されるものではない。従つて、本願の一般的発明概念の範囲を逸脱しない限り、このような詳細事項を変更してもよい。

【図面の簡単な説明】

【図1】

Fig. 1は、本発明の原理に従つてデジタルオーディオ／ビデオ信号データの圧縮解除及び出力をを行うビデオ／オーディオデコーダのプロック図である。

【図2】

Fig. 2は、デジタル符号化されたビデオデータ及び制御情報を復号化する

ための可変長デコーダ (VLD) により構成される、Fig. 1 に示す復号化システムにおけるビデオデコーダのブロック図である。

[図3]

Fig. 2 Aは、Fig. 2に示すビデオデコーダのマイクロシーケンサとVLDコマンド復号化／実行ユニットのブロック図である。

[図4]

Fig. 3は、Fig. 2の可変長デコーダ (VLD) コマンド復号化／実行ユニットと可変長テーブルデコーダに、符号化されたビデオデータの32ビットインクリメントを供給するローテータ／パレルシフタ回路の概略図である。

[図5]

Fig. 4は、Fig. 2の可変長デコーダ (VLD) コマンド復号化／実行ユニットによりアクセスされる「macroblock_address_increment」可変長コード (VLC) テーブルにおけるバーンマッチ構造を示す図である。

[図6]

Fig. 5は、ビデオデータ圧縮解除プロセスにおいて可変長コード (VLC) テーブルにアクセスするときにFig. 2 の可変長デコーダ (VLD) により使用される復号化論理回路の機能ブロック図である。

[図7]

Fig. 6Aは、TBLITインストラクションのマイクロシーケンサインストラクションフォーマットを示す図である。

Fig. 6Bは、ICMD、CMDIインストラクションのマイクロシーケンサインストラクションフォーマットを示す図である。

Fig. 6Cは、COMPIインストラクションのマイクロシーケンサインストラクションフォーマットを示す図である。

Fig. 6Dは、BRANCHインストラクションのマイクロシーケンサインストラクションフォーマットを示す図である。

Fig. 6Eは、SETFインストラクションのマイクロシーケンサインストラクションフォーマットを示す図である。

Fig. 6Fは、INCMIインストラクションのマイクロシーケンサインストラクションフォーマットを示す図である。

Fig. 6Gは、HALTインストラクションのマイクロシーケンサインストラクションフォーマットを示す図である。

Fig. 6Hは、HALTインストラクションのマイクロシーケンサインストラクションフォーマットを示す図である。

INTERPERSONAL DIALOGUE

Further documents or a list in the continuation of this
Form may be submitted by the members of the
Board.

171 This document published at <http://www.scribd.com/doc/13182503>

Date of the actual cancellation of no record of search
Date of the international search report

12 January 2000 Name and mailing address of the ISA
20.0.0 Authorization

Raeynaekers, P

PCPN 34210 (revised 1 July 1972)

INTERNATIONAL SEARCH REPORT

C. COMMUNICATED DOCUMENTS CONSIDERED TO BE RELEVANT		PCT/US 99/10659
Category	Number of document, name of creation date, reference, date received by DPPGPA	Reference
A	US 5 502 493 A (MEYER EDWIN R) 26 March 1996 (1996-03-26) column 9, last paragraph -column 11, paragraph 2; figure 2	1-12
A	US 5 604 495 A (MIYAGOSHI EIJI ET AL) 18 February 1997 (1997-02-18) column 8, line 21 -column 10, line 2; figure 1	13-23
A	US 5 736 946 A (SONN YOUNG-SEOK) 7 April 1998 (1998-04-07) column 2, line 35 -column 3, line 27; figure 1	-----

Final PCJ 154-210 (construction of access roads) (July 1997)

2 of 2

Tcl (~J) 70 340-2040

ପ୍ରକାଶକ ପତ୍ର

INTERNATIONAL SEARCH REPORT

Int'l. Search Report No.
PCT/US 99/10659

Box I Observations where certain claims were found unsearchable (Continuation of Item 1 of first sheet)

This International Search Report has not been established in respect of certain claims under Article 17(3)(d) for the following reasons:

1. Claims Nos. 1-10 relate to subject matter not searchable by the Authority, namely:
because they relate to search engines and do not comply with the prescribed requirements to such an extent that no meaningful individual search can be conducted.

2. Claims Nos. 1-10 relate to subject matter not searchable by the Authority, namely:
because they relate to search engines and do not comply with the second and third sentence of Rule 6(4)(c).

3. Claims Nos. 1-10 are dependent claims and are not drafted in accordance with the second and third sentence of Rule 6(4)(c).

Box II Observations where unity of invention is lacking (Continuation of Item 2 of first sheet)

This International Searching Authority found multiple inventions in its international application, as follows:

see additional sheet

1. As a required additional search was never timely paid by the applicant, this International Search Report covers all searchable claims.

2. As all searchable claims could be searched without effort justifying an additional fee, the Authority did not issue a report of any additional fee.

3. As only some of the required additional search fees were timely paid by the applicant. Consequently, this International Search Report covers only those claims for which fees were paid, specifically claim Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this International Search Report is restricted to invention(s) mentioned in the claims, it is covered by claim No.:

Remark on Patent

- The additional search fees were accompanied by the applicant's protest.
 No protest accompanied the payment of additional search fees.

FURTHER INFORMATION CONTINUED FROM PCT/ISA/201	International Application No. PCT/US 99/10659
<p>This International Searching Authority found multiple (groups of) inventions in this international application, as follows:</p> <ol style="list-style-type: none"> Claims: 1-12 addressing VID directly through general controller for MPEG-picture-level operations Claims: 13-23 accelerating code extraction from variable length code tables 	
<p>Claims Nos. 1-10 relate to search engines and do not comply with the second and third sentence of Rule 6(4)(c), as such they are not searchable by the Authority.</p>	
<p>Claims Nos. 1-10 are dependent claims and are not drafted in accordance with the second and third sentence of Rule 6(4)(c).</p>	

INTERNATIONAL SEARCH REPORT

Information on patent family members*

Information on patent family members*			
		Inventor's name	Patent Application No.
Patent document date in which open	Publication date	Assignee's family members(s)	Publication date
US 5579052 A	26-11-1996	FR 2705804 A DE 6941963 D EP 0626653 A EP 0626642 A JP 7059084 A JP 7056751 A US 5600837 A	02-12-1994 02-12-1994 02-09-1999 30-11-1994 30-11-1994 03-03-1995 03-03-1995 04-12-1997
US 5502493 A	26-03-1996	NONE	
US 5604499 A	18-02-1997	JP 7235678 A	05-09-1995
US 5736946 A	07-04-1998	JP 9130266 A	16-05-1997

フロントページの続き

(8)指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CL, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), AP(GH, GM, KE, LS, MW, SD, SL, SZ, UG, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AE, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, UA, UG, UZ, VN, YU, ZA, ZW

(72)発明者 ガダーリー、シリシュ、シーアメリカ合衆国 カリフォルニア州
94132 サンホセノースキヤビタル
アベニュー ナンバー 78 1265
Fターム(参考) 5C05/5 KK15 MA23 MC14 ME02 PP04
RC14 RC26 SS01 SS06 SS12
UA05 UA37

5J064 AA04 BA09 BA16 BB05 BC01
BC02 BC04 BC29 BD02 BD03

【要約の続き】
ットストリームにおける先頭ヘッダーを識別すると同時に
にその先頭ヘッダーに対応するサブデーターべルにアクセス
することにより復号化される。レンダングスと転送レバ
ルのDCT係数シンボルは圧縮され状態で記憶され、
逆変換ユニット(208)で必要となると復号化さ
る。動きベクトルも、動き補助ユニット(212)で必
要となるまで記憶される。